

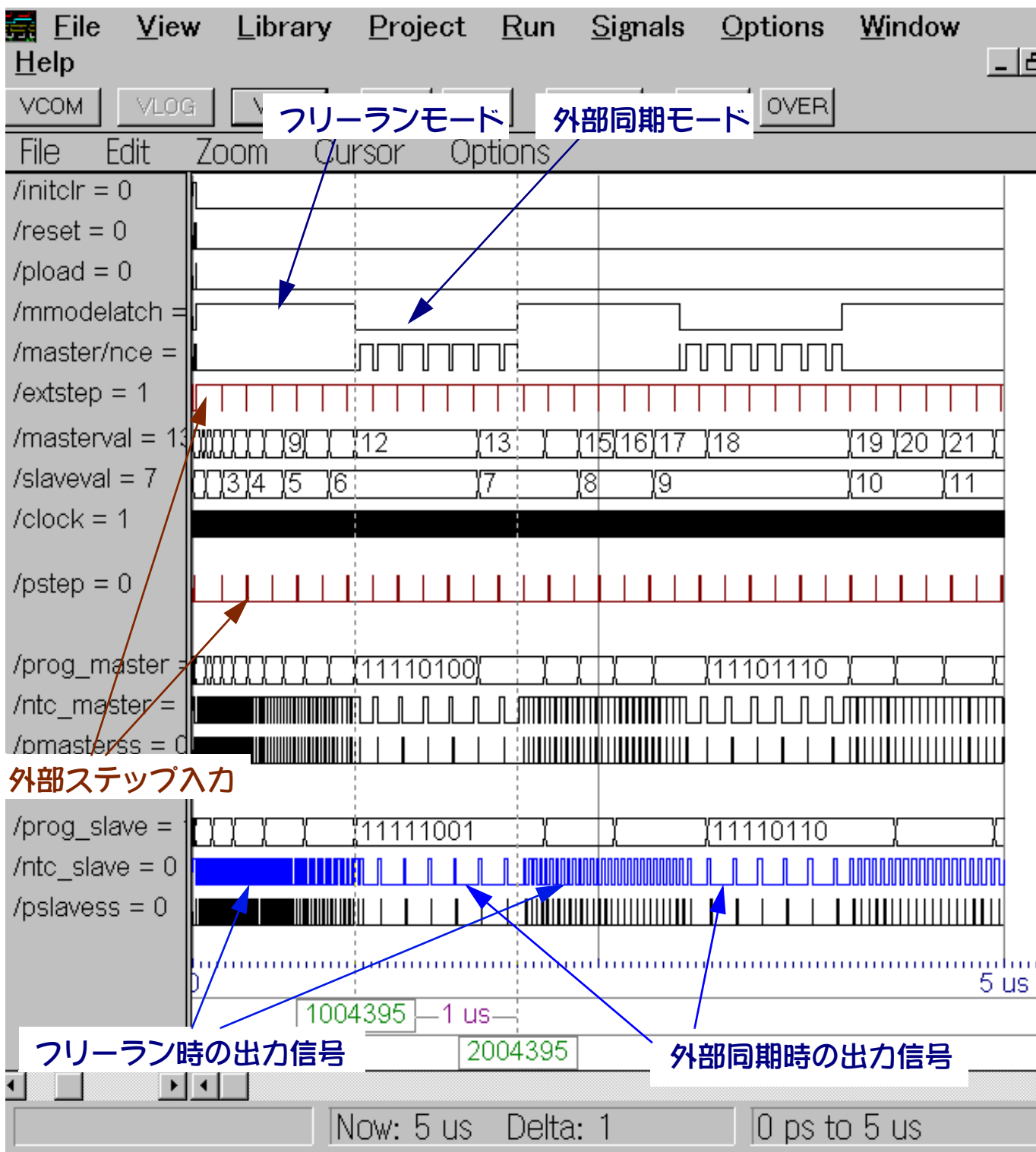
# RateGen 波形図

**この文書の目的**

ここでは通常は余り縁のない P E C L デバイスについて、そのビヘイビアモデルを考え、ある程度意味のあるまとまりを作成して M T I でのシミュレーションを行った結果を表示します。

**全波形の表示**

この段階では基板の配線遅延をパラメータに入れてありませんが、全体としては、それなりの動作をしてくれる回路になっている事がわかります。



**警告のチェック** 実際にはシミュレーションを行うと、作成したモデルに仕掛けておいた警告が、最初の100 ns 期間について集中的にレポートされます。 レポートされた下記の4.125 ns 点での警告内容を調べてみます。

**部分波形の表示** 下図のように、この警告点で、クロック立ち上がりエッジに対する nPE 信号のセットアップ時間不足が(このモデルについて)発生していることがわかります。このモデルが正しければ、この回路は200 MHz の出力を確実にには出せないことが判ります(原発振400 MHz 時、出力133 MHz が限界になります)。

