

## hp\_VHDL1

## このテスト・ベンチ作成の目的

## この文書の目的

通常は余り縁のない PECL デバイスについて、そのビヘイビアモデルを作成し MTI (Vsystem) でシミュレーションを行ってみました。

単純に PECL デバイスを簡単なモデルに作成し、大雑把な動作限界を調べるだけであれば、ウインドウズ等でのエクセル(TM)のような表計算ソフトを使えますし、もし厳密なタイミング解析を便利に行うのであれば、その為の専用ソフトも市販されています。

しかし、回路にある程度の複雑さが加わると、その解析にはかなりの集中力と時間とがかかるように思われますし、見落としによるミスもかなり増えてくるような気がします。

本当はどのような方法が最適なのか、VHDL での経験の浅い私共にはまだまだ判りかねる所が多いのですが、もし VHDL シミュレータを使った場合にはどのような処理ができるか、普段は FPGA の設計にしか使っていない VHDL シミュレータについて調べてみました。

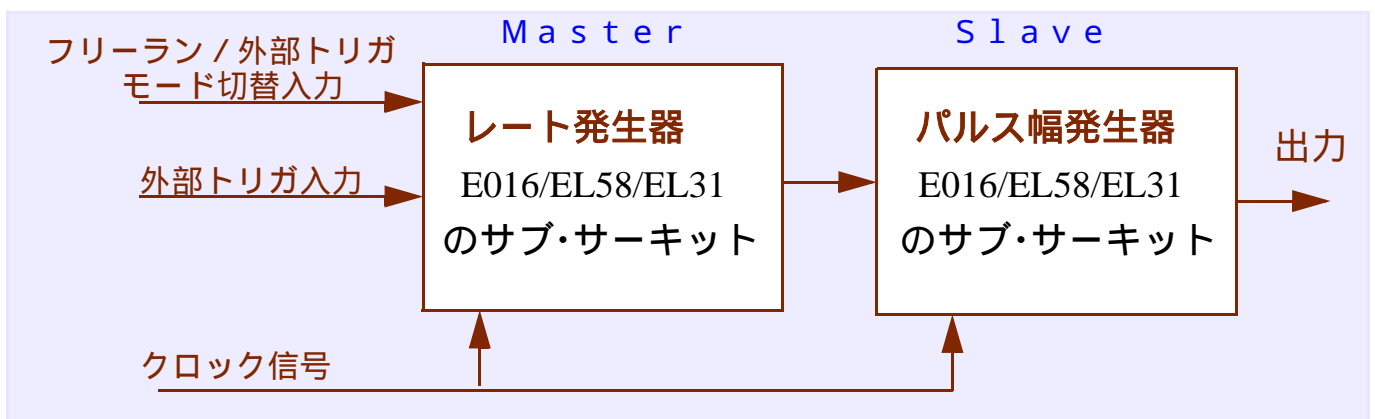
最終的には、テキスト IO 機能を使って基板の遅延などを加味したシミュレーションの例をお見せしたいのですが、取りあえず今の段階では VHDL 記述そのものについて、色々工夫しなければならない事が多いように思いますので、現時点での私共の能力において

1. なるべく簡潔な VHDL 記述を行うよう工夫してみた点
2. 設計結果からのバック・アノテートが出来ないようなデバイスを想定してみた点

辺りについて、処理できる範囲をご覧いただきたいと思います。

## ブロック図

は以下のようになっています。

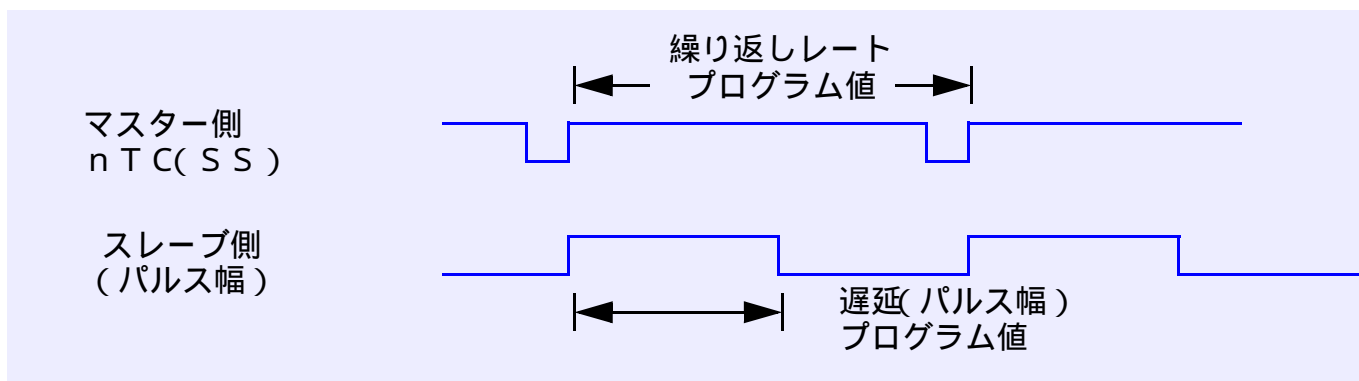


レート発生器とパルス幅発生器は同じ回路ユニットを使っています。

## ブロック図で

**マスタ**としている回路は、外部からのモード制御を受けて自走式のレート発振器として働く時 (FreeRun) と、外部トリガを受けて遅延タイマとして働く時 (ExtTrig) と、の2種類の動作をします。

**スレーブ**側は、現在のモデルでは常に遅延タイマ (Sync) として働き、マスタからのトリガを受けて出力信号のパルス幅を決める働きをします。



## 使用部品の説明

VHDL ソース・コードでは E \* \* \* というような呼び方をしていますが、これらは全て、SY 100 E シリーズのデバイスで (SY はシナジー社の製品名で、モトローラ社の MECL シリーズと互換になっている製品が多く含まれています) ある事を想定しています。

**100E016** 8ビットバイナリカウンタで、以下の入出力信号を持っています。  
入力信号

|      |                  |
|------|------------------|
| MR   | マスターリセット         |
| nCE  | カウント・イネーブル       |
| nPE  | プリロード・イネーブル      |
| TCLD | ロード・オン・ターミナルカウント |
| P    | プリセット・データ (8ビット) |

### 出力信号

|     |               |
|-----|---------------|
| Q   | カウント出力 (8ビット) |
| nTC | ターミナル・カウント    |

**100EL58** 2入力、差動出力のマルチプレクサです

**100EL31** セット・リセット端子付きの DFF 素子です

**100E141** 8ビットシフト・レジスタで以下の入出力信号を持っています。  
入力信号

|           |               |
|-----------|---------------|
| MR        | マスターリセット      |
| SEL 0 / 1 | モード・コントロール    |
| DL / DR   | シリアル入力        |
| D         | パラレル入力 (8ビット) |

### 出力信号

|   |               |
|---|---------------|
| Q | パラレル出力 (8ビット) |
|---|---------------|

## テストベンチ構成

この構成の目的は V H D L 構文をなるべく簡潔に表現する点にあります。

構造記述で延々とコンポーネント宣言を行ったり、R T L 記述でその内容を本文中に展開したりするような方法をなるべく避け、パッケージを使えるところにはなるべくパッケージを利用しますが、その結果として、コンフィギュレーション記述に注意しなければならない点も出てきます。

テスト・ベンチではかなりの手抜きが目立ちます。

これは、デバッグ的なチェックを行っている時点で（私達の場合には）この程度の水準でのカット・アンド・トライをして時間を空費する事もままあるのが実態なので、こんなイージーな方法を取ることがある事も見ていただく為、あへて体系化しないままにしています。

計画的に体系を組んでシミュレートする場合、T E X T I O 機能を使って外部ファイルを取り込んだり、アサート文からの警告をファイルに出力させ、テキストエディタやエクセル ( t m ) などの表計算ソフト上でデバッグすることが多くななります。

このような部分については F P G A での設計事例について別に説明を用意しています（工事中です (^^;)）ので、関心をお持ちの方はそちらを参照してみてください。

## ファイルの構成

PDF ファイル上で下記のリンクが張ってあります。

実際にコンパイル・シミュレートする場合には、下記の逆順で読みます。

|  |  |
|--|--|
| MTI シミュレーション結果<br>コンフィギュレーション<br>テストベンチ  | <a href="#">hp_vsim1_1.pdf</a><br><a href="#">hp_TB_config_vhd.pdf</a><br><a href="#">hp_TB_RateGen_vhd.pdf</a>  |
| 部品パッケージ  | <a href="#">hp_PECLComp_vhd.pdf</a>  |
| ブロック設計ユニット<br>部品ユニット E 0 1 6<br>E 0 1 6 用パッケージ<br>部品ユニット E L 5 8<br>部品ユニット E L 3 1<br>部品ユニット E 1 4 1 | <a href="#">hp_SubCkt_vhd.pdf</a><br><a href="#">hp_E016_vhd.pdf</a><br><a href="#">hp_E016Pack_vhd.pdf</a><br><a href="#">hp_E L 58_vhd.pdf</a><br><a href="#">hp_EL31_vhd.pdf</a><br><a href="#">hp_E141_vhd.pdf</a> |
| 基本パッケージ  | <a href="#">hp_BasePack_vhd.pdf</a>  |

## 感想をお聞かせください

宛先は [sysworks@saitama-j.or.jp](mailto:sysworks@saitama-j.or.jp)

担当 成瀬（メールは毎日1回、チェックしています）

なを、難しい御質問にはお応えしかねる場合があります。（^^;）

