

回路屋が基板について考える事

普段、回路設計を行っている時、デバイス内部の遅延には神経を尖らせるのですが、一旦デバイスの外に出した信号についてはかなりの部分を基板屋さん任せにしてしまう傾向が（私の場合には）あるように思います。

しかし、実際の基板屋さんが伝播遅延の解析をサービスしてくれることは非常に少ないので、ごく大雑把な遅延時間の見当をつけて配置のみを指示し、どこかに曖昧さを残したままデバッグに突入(--;)するような事があるのではないのでしょうか。

もし、伝播遅延についての大雑把な見当をつけるような場合、50 同軸ケーブルの典型的な遅延パラメータ 5 nS/m を手がかりに安易な計算をしてしまう事もあるのではないかと思います。果してその精度がどの程度であるか正確に認識している回路屋さんは少ないような気がします。クロックレートが 25 MHz あたりまでは、それほど大差のない仕事になる事が多いのですが、技術屋の一人としては少なくとも

配線による遅延時間
 バス構成によるクロストーク
 配線長による反射の取扱い
 を意識した仕事をやりたいものだと思っています。

基板上传播速度はどの程度か

簡単には

4層のFR4材 (Er=4.5 希に 3.5 の材料もあるようです)
 プリプレグ厚 0.2 mm のマイクロストリップで
 配線幅 6 ミル (0.15 mm) / 6 ミルクリアランス
 で設計した場合、

1 nS あたりの波長は概算 17 cm 程度になり、
 特性インピーダンスは 75 Ω になります。

概算計算で普通に使う値はメータあたり 5 nS : 20 cm/nS です
 から、約 15 % 程度の楽観的な根拠に基づいて回路を考えていること
 になります。

もし、このパターンをストリップ線路として内層コア材の上に置いた場合 (表面層には GND が置かれストリップを形成するとして)

1 nS あたりの波長は概算 14 cm 程度になり、
 特性インピーダンスは 60 Ω 程度 (オフセット・ストリップ線路)
 にですから、概算計算のままでは、遅延時間について約 30 % 程度の楽観的な根拠に基づいて回路を考えていることになります。

しかも、これらの値はすべて、単独の線路を考えている場合に限定されたもので、現実の回路は差動で伝送したり、バス形式で伝送したりする訳です。

バス形式では、隣接する信号が互いに結合された状態になっているため、同相で動作する時のインピーダンスと、逆相で動作する時に現れるインピーダンスは同じ値にはなりません。

現実のバスが、たった2本のマイクロストリップで形成される訳もありませんが、すくなくともこのディメンジョンを持つマイクロ・ストリップのバス(エッジ結合)では

同相(偶モード)特性インピーダンス: 約95

逆相(奇モード)特性インピーダンス: 約65

の特性がある事を考え、これが信号源の立ち上がり時間・基板上の伝送長とどのように関連づけられてターゲットの波形を作るかを検討しておく事は有益なのではないかと思います。

次ページ以下に、簡単なモデルを作成した時のシミュレーション結果を添付します。

私共の場合、このような時の回路図は実際の基板回路図とは別に、シミュレーション用の回路図を作成し、S・NAPで処理しています。

このpdfファイルの最後のページにS・NAP(本日現在のバージョンは1.0です)での回路図を添付しておきますので、よろしければ参照してみてください。

この程度の簡単なチェックでも、実際にやってみたという事と「多分」や「だろう」で済ませている事との違いは、いつか、どこかに、出てくるのではないかと思っています。

なお、つまらない念押しをするようで申し訳ありませんが、基板についてモノを考える場合に、ここで示した事例は「実デバイスの入出力ピンの保護機構にかかるストレスを見ている」事になるものと考えてください。実際のデバイスでは、入出力ピンに等価的なクランピング・ダイオードが入っている事が殆どですので、ここで示した波形と全く同じ波形が実装基板から必ず得られと言う事はない筈です。

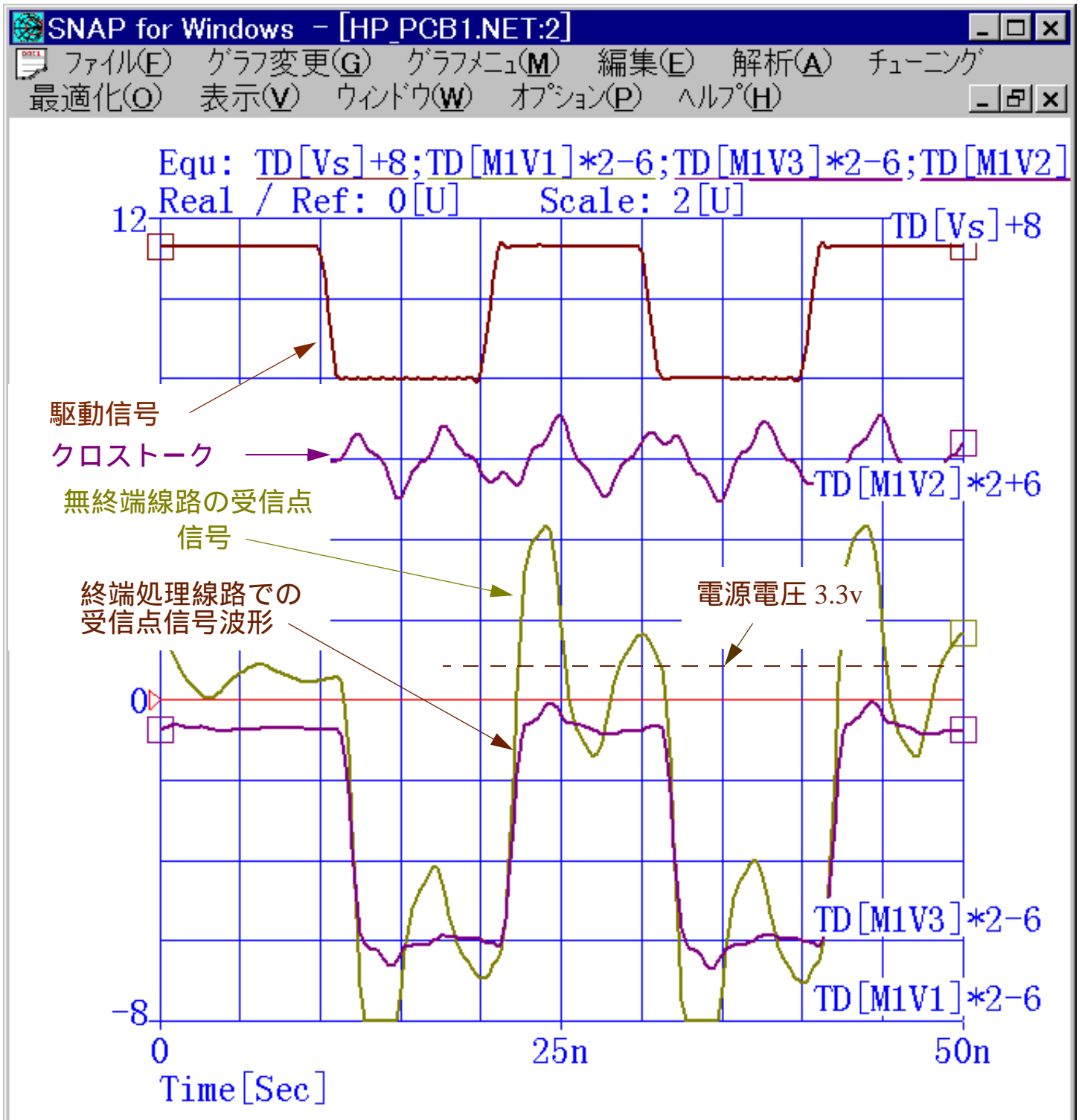
(許容される電源範囲外の信号振幅を0.3V以下としているFPGAデバイスがありますので、クランピング・ダイオードをアテにした設計は危険かもしれません)

反射波の影響をどの程度まで考慮するか

特に F P G A のドライバーの能力が高速度になってきている現在では、信号線の長さが無視できないファクターになってきます。

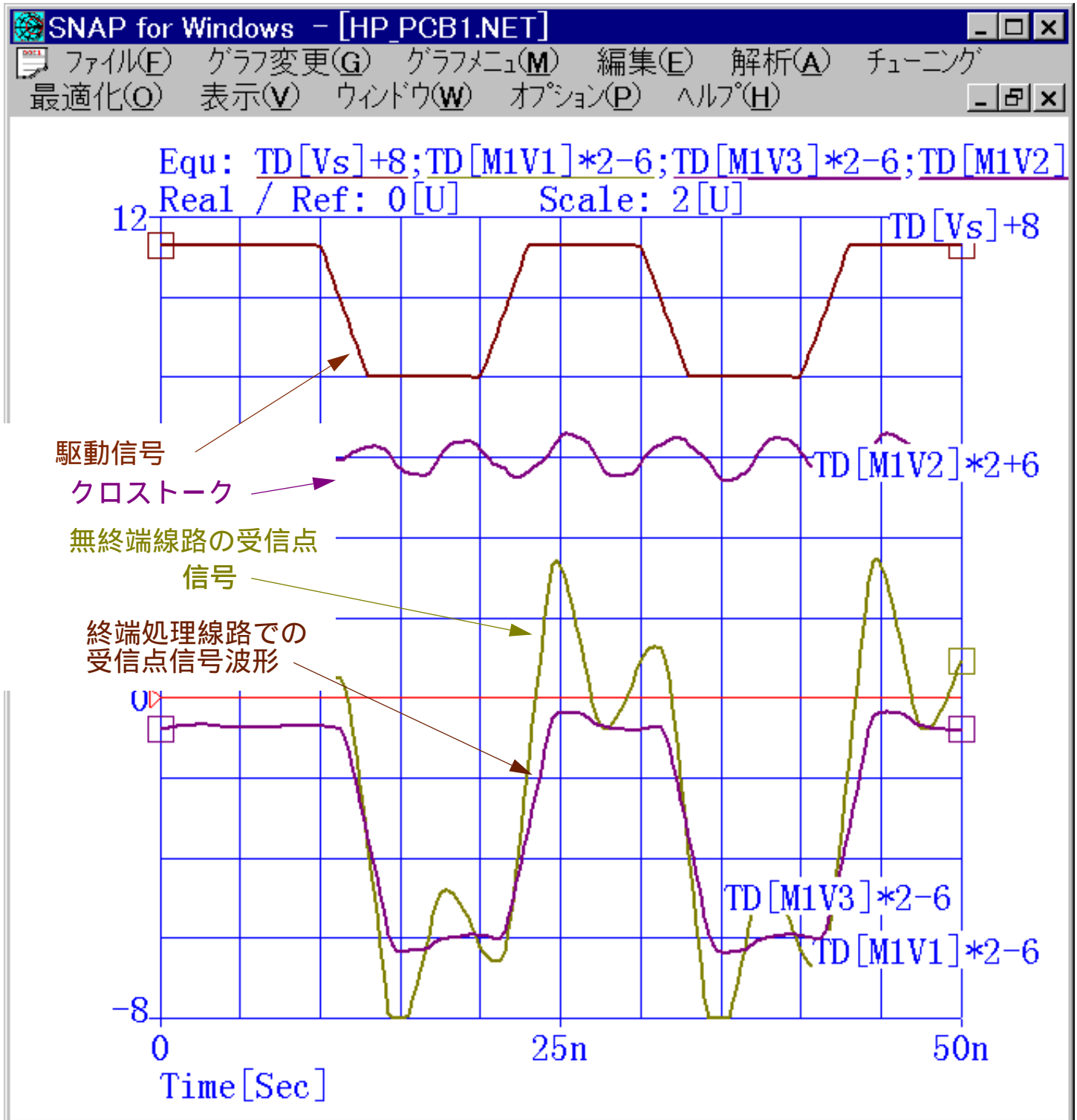
75 前後の特性インピーダンスを持つ線路を 20 cm 程度引き出し、これを無終端で配置した場合のシミュレーション結果（駆動デバイスの出力インピーダンスを 25 に仮定し、その立ち上がり時間を 1 nS とした結果です）を添付します。

実際に 1 nS のドライバが存在した場合、この無終端線路からの反射波は少し恐い存在になっています。

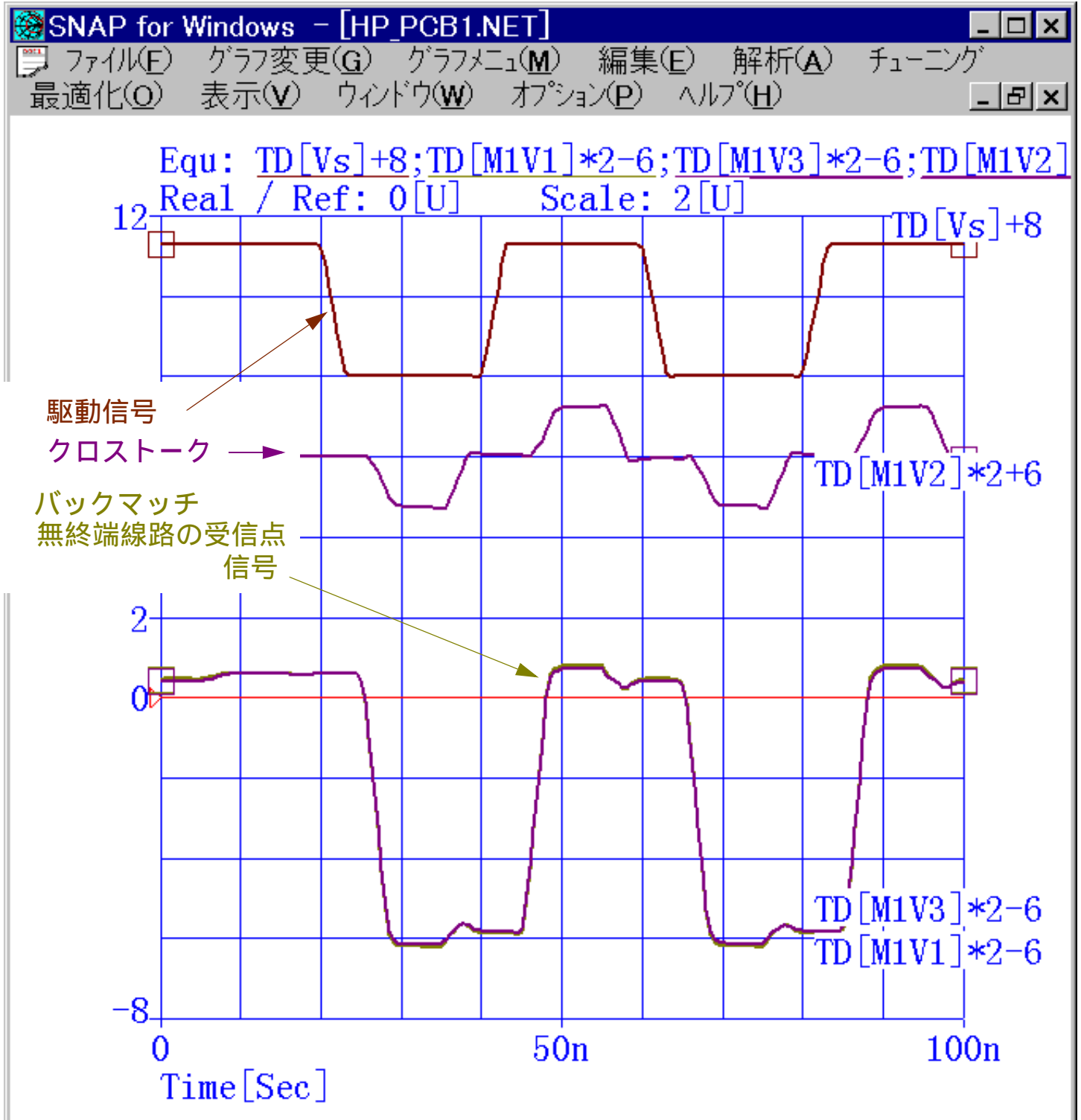


多少現実的に、立ち上がり時間を 3 nS としてみると以下の結果が得られ、無終端線路での反射波は計算上、3.3 V 電源に対し約 1.2 V のオーバーシュートを持つことが判ります。

この値が「こわい」のであれば、デバイスの立ち上がり時間に依存した対策ではなく、送信端または終端でのマッチングを実施するか、伝送線路長を短く配置するなどの対処が必要である事になります。

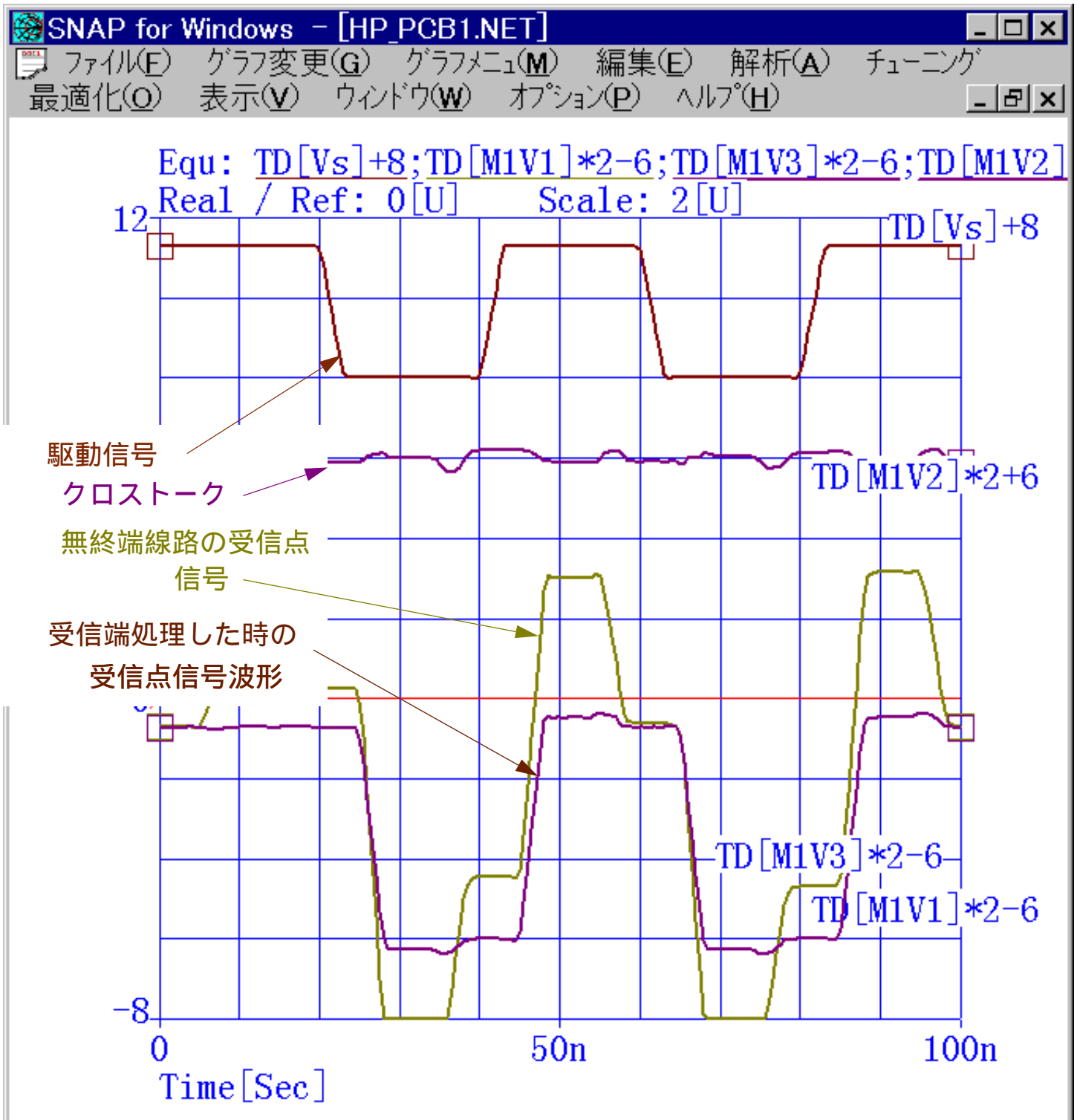


下に示すのは、80 cm 長のマイクロ・ストリップ・バスに $T_r=3\text{nS}$ の信号を印加した時の、送信端 80 Ω バックマッチ時の波形です。
 (バックマッチの値は、デバイスの出力インピーダンスを含めます)

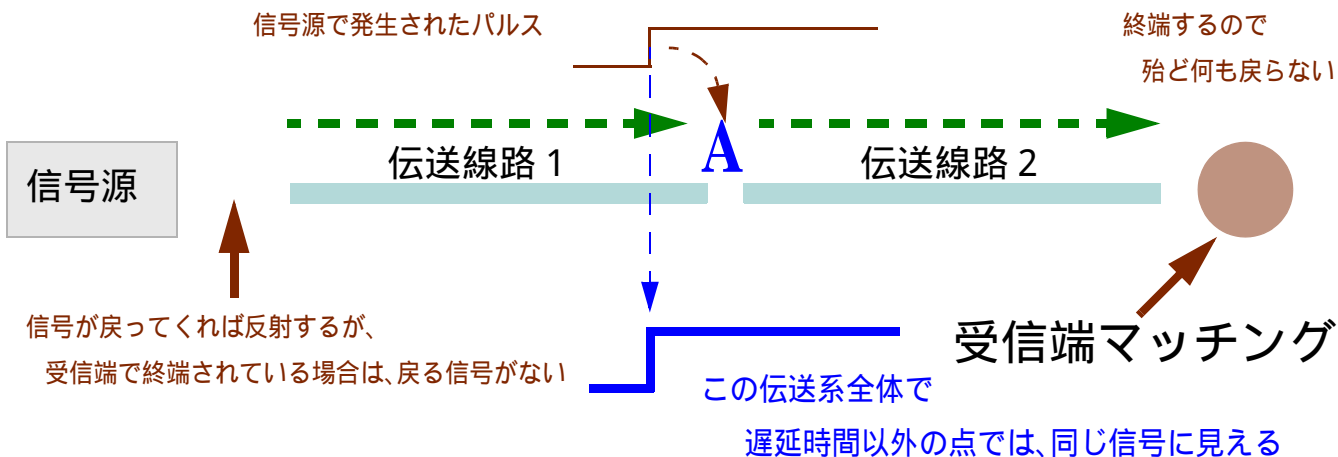
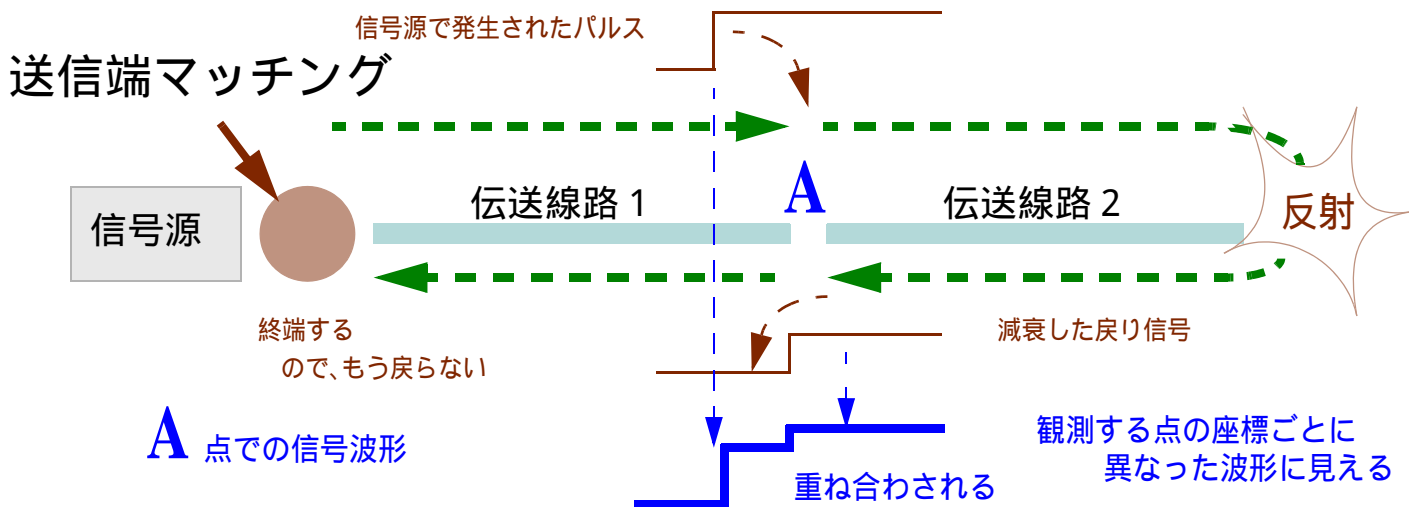
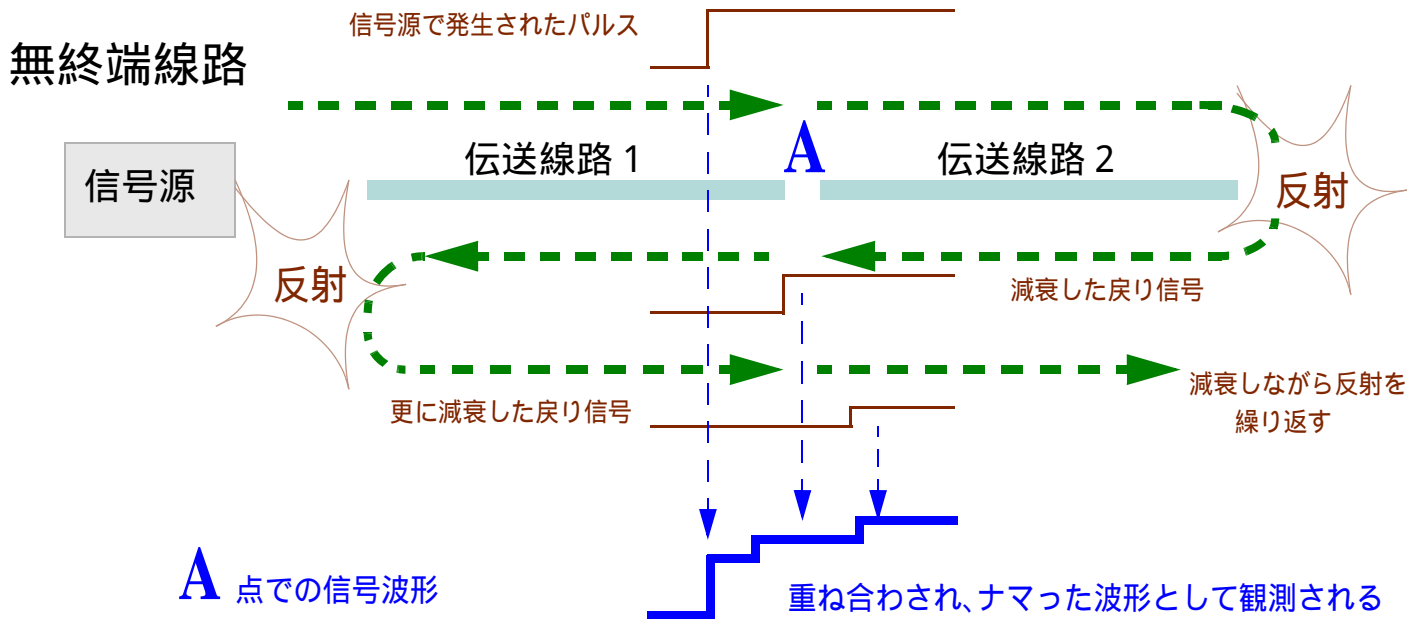


下図は、同じく、80 cm 長のマイクロ・ストリップのバスに $T_r=3nS$ の信号を印加し、受信端 100 終端処理時の波形です。

送信端マッチと受信端マッチ、この2つの方法には根本的な違いが別にあるのですが、ポイント TO ポイントの結線だけを考えるのであれば、その違いは明確にはみえず、クロストークの極性が違うとか、終端での信号振幅が小さくなるとかの細かい点だけが目につきます。



2つの終端処理の方法での違いは単純なものです。図中、**--->**印を信号の流れを示すものとしますと、以下のイメージになります。



もし、ポイント to ポイントの配線を考えるのであれば、終端処理の結果にはそれほど大きな差がでてこない場合があります。

しかし、メモリー・バスなどのように信号の経路上に複数の信号受信素子が配置されるような場合には、前ページの図からも明らかなように、受信端マッチの方法が（信号ドライバー側の電力条件が許す限り）タイミングの面では有利になるのではないかと思います。

原理は単純でも実際の計算は厄介で、反射係数が具体的にどの程度の値であるのかを知る為には伝送線路の特性インピーダンスを知らなければなりません。

また、少し厳密な事を考えると、パターンの曲げやバイアの持つインピーダンスによる影響も検討する必要がでてきます。

シミュレーション結果は、出来るかぎり実際の基板についてサンプリング・オシロ（私共の場合には h p 54121 T を使って TDR 測定を行います）などで確認し、実績データとして蓄積するようにしています。

これから更に立ち入った内容に踏み込むと「仕事」の領域になりますので、最後にパターンの「分岐」による影響を調べた結果を添付して今回のテーマを一段落させておきたいと思います。

図は、3つのデバイスにバス形式で信号を分岐させながら（つまり、完全な一筆書きではない）配線をして、

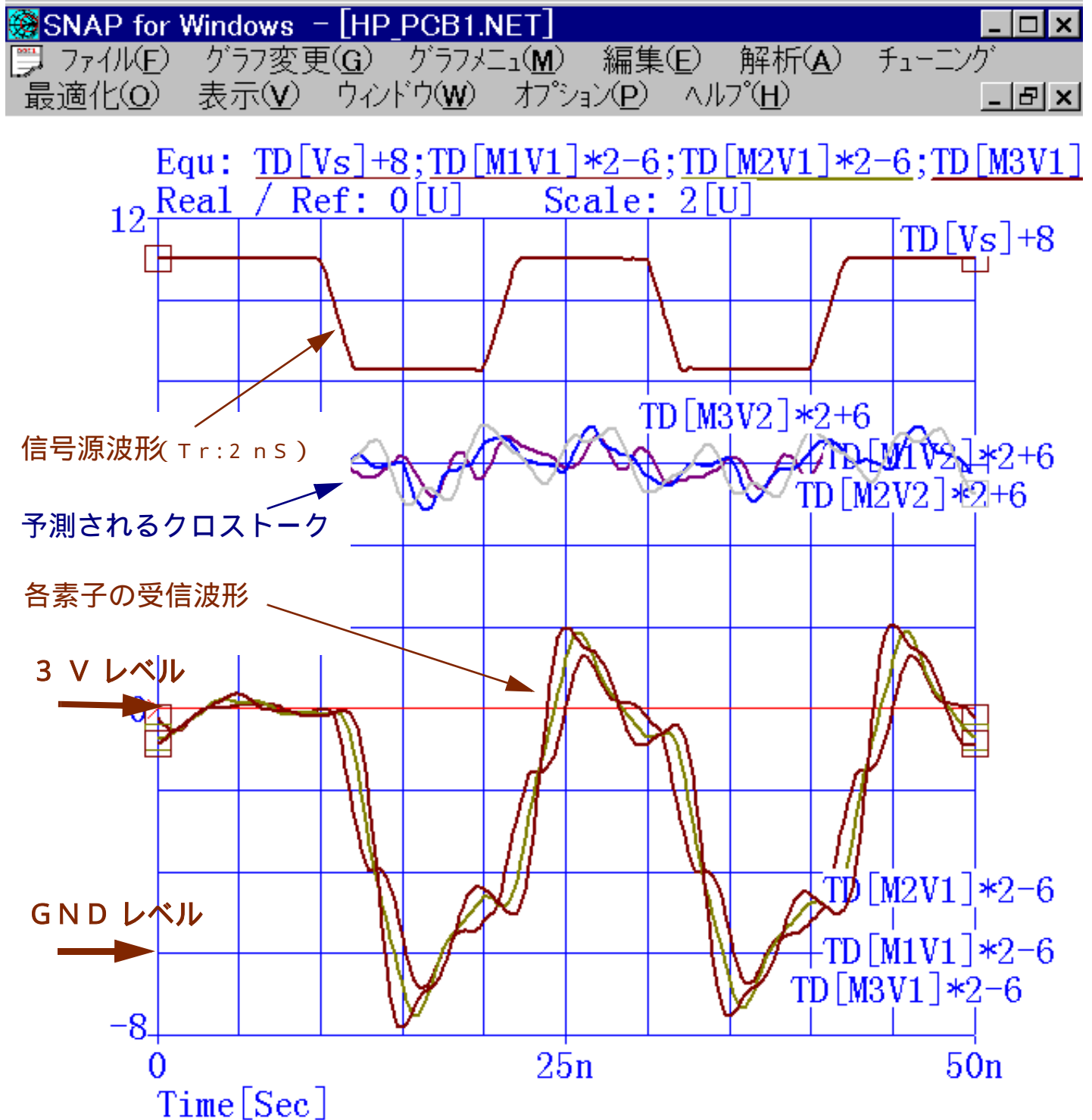
送信端無処理、終端を開放した時

送信端でマッチングをし、終端を開放した時

送信端無処理、終端をマッチングをした時

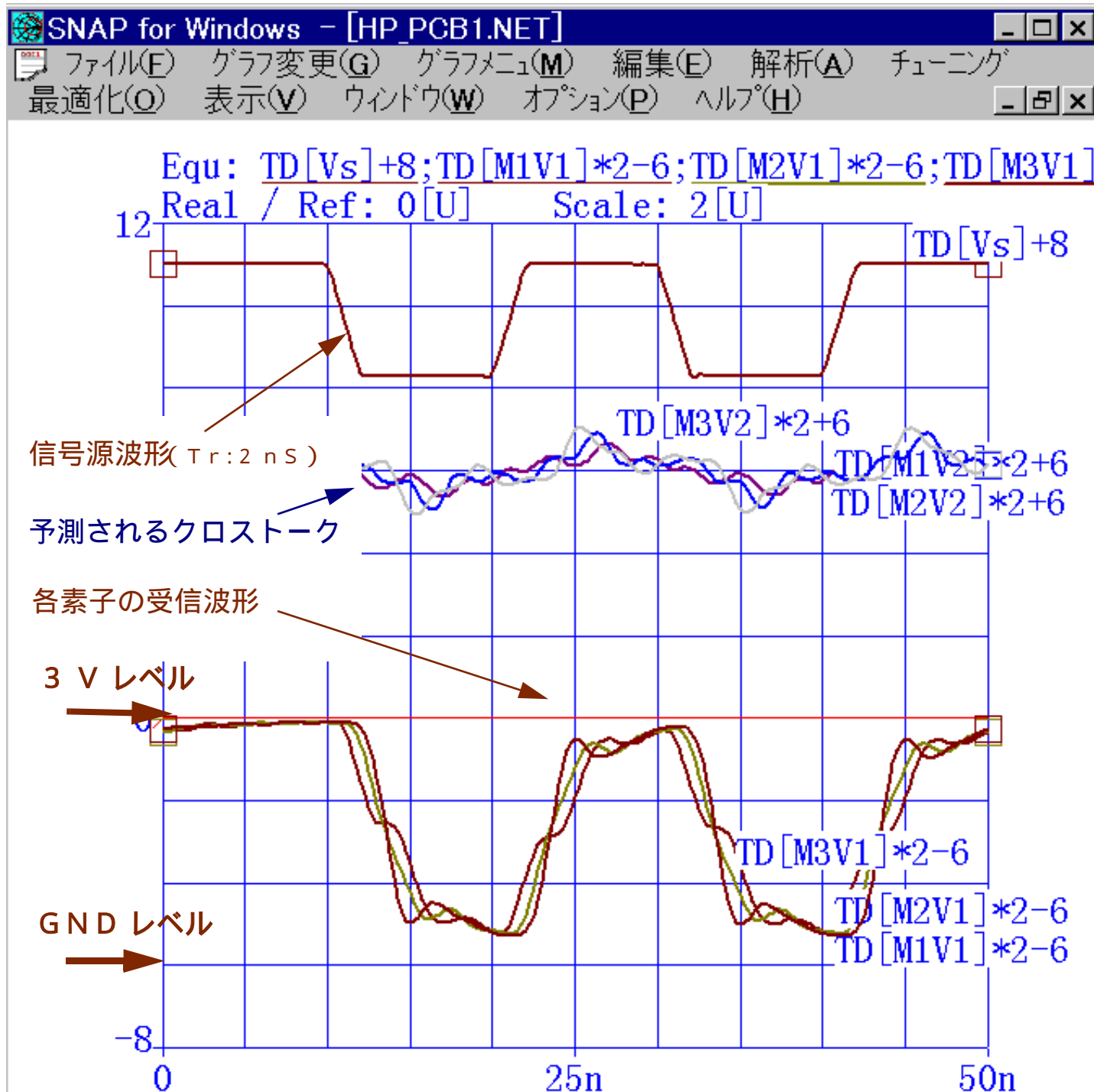
の3つの場合について、シミュレートした結果です。

開放終端、送信側無処理の時



送信側バックマッチ

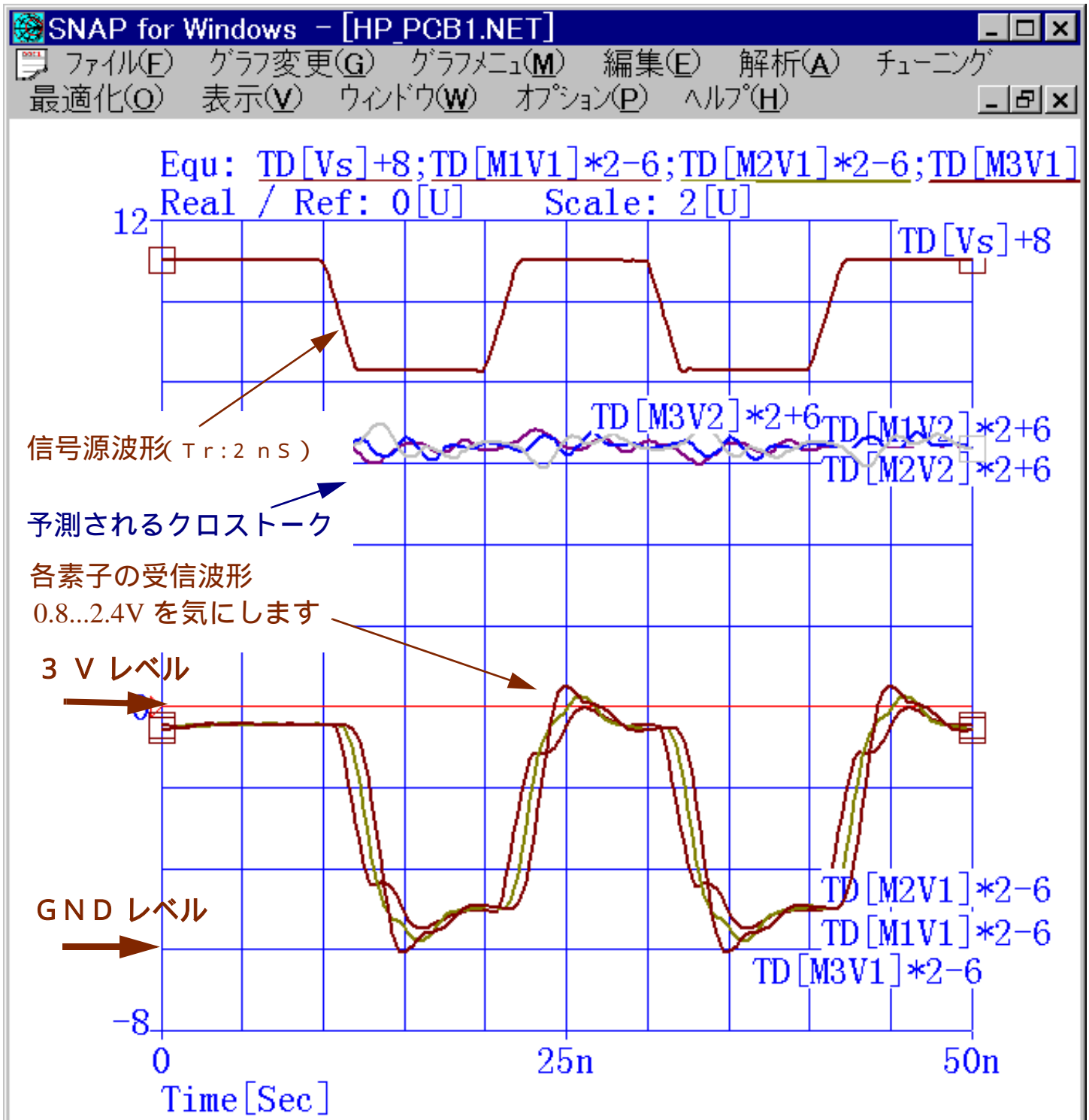
75 でバックマッチを行い、受信端開放(10 K)とした時の各素子の受信信号波形です。



肝心のスレッシュホルト点近傍で、素子毎に受信する信号の
パルス幅が異なる点に注意します。

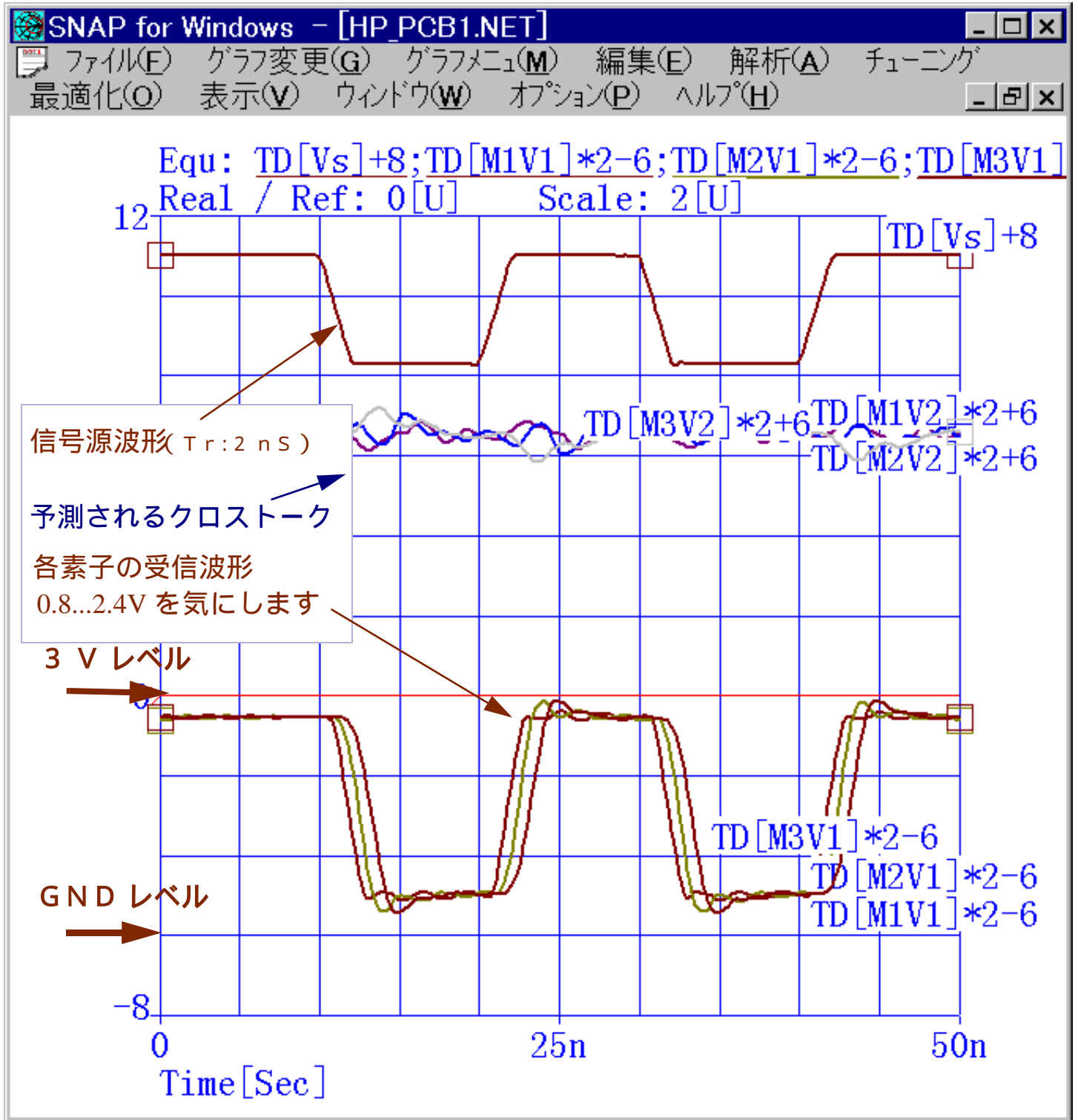
受信側終端処理

但し DC 的な負荷を軽くする為、整合値はあえて大きな値 (150) を選んでありますので、本職の無線機屋さんが見たらこれはマッチングにも何にもなっていない値だと言う筈です。



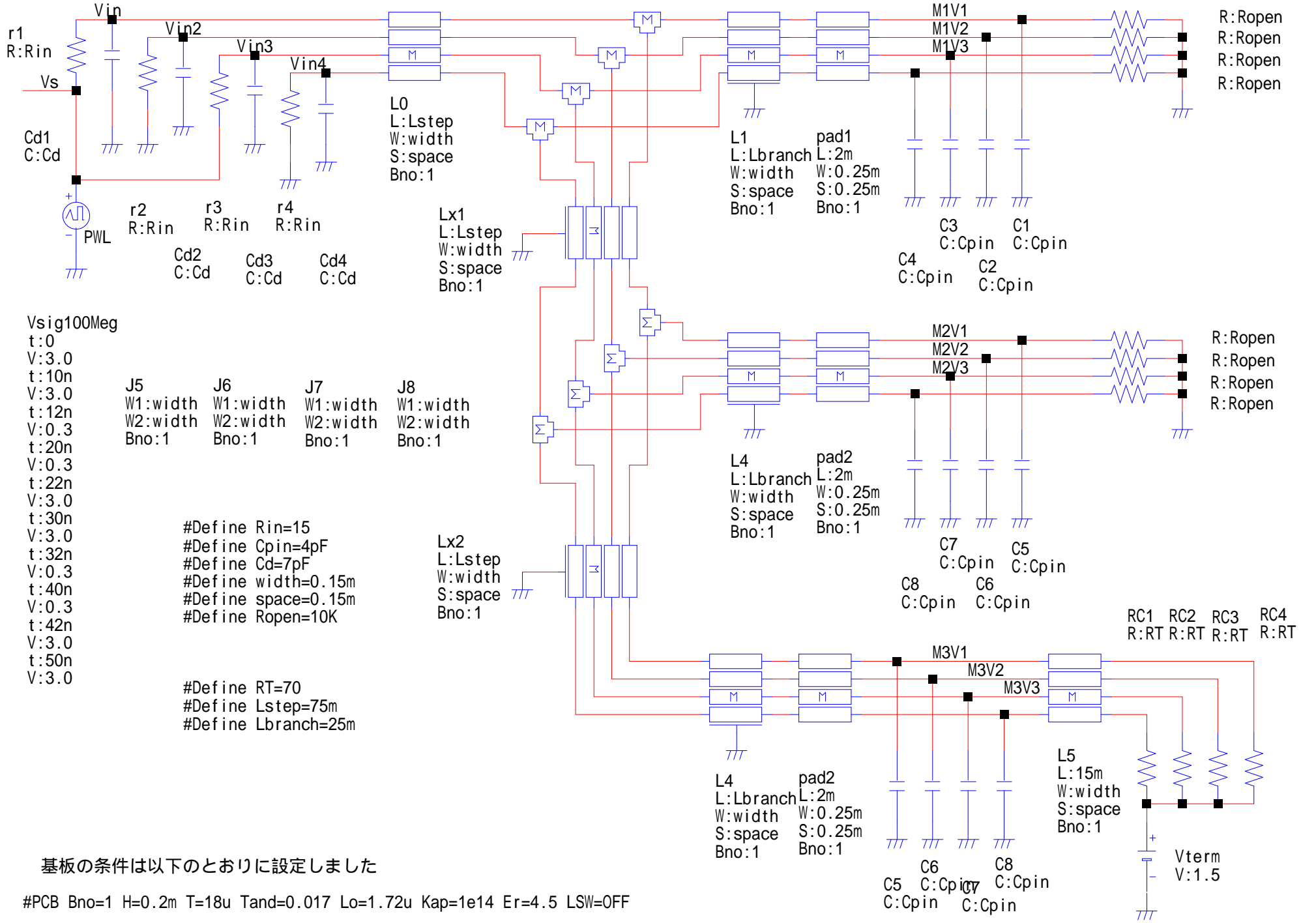
しかし、必ずしも正確な整合値を設定しなくても、反射波をある程度抑制することで、この図のような波形品位の向上が期待できるように思われます。

仮に、DC 的に十分な駆動能力と電力余裕を持ったドライバーを使う事が出来るのであれば、終端抵抗値を結合時特性 Z にまで下げてよりきれいな波形に整える事が可能です。



* 4ライン結合線路に伝搬するデジタル波形を線形波形解析で解析します。
 Vin->Vout リファレンス信号ライン
 Vin2->V2 クロストークを試験されるパターン

J1 W1:width W2:width Bno:1
 J2 W1:width W2:width Bno:1
 J3 W1:width W2:width Bno:1
 J4 W1:width W2:width Bno:1



Vsig100Meg
 t:0
 V:3.0
 t:10n
 V:3.0
 t:12n
 V:0.3
 t:20n
 V:0.3
 t:22n
 V:3.0
 t:30n
 V:3.0
 t:32n
 V:0.3
 t:40n
 V:0.3
 t:42n
 V:3.0
 t:50n
 V:3.0

J5 W1:width W2:width Bno:1
 J6 W1:width W2:width Bno:1
 J7 W1:width W2:width Bno:1
 J8 W1:width W2:width Bno:1

#Define Rin=15
 #Define Cpin=4pF
 #Define Cd=7pF
 #Define width=0.15m
 #Define space=0.15m
 #Define Ropen=10K

#Define RT=70
 #Define Lstep=75m
 #Define Lbranch=25m

基板の条件は以下のとおりに設定しました

#PCB Bno=1 H=0.2m T=18u Tand=0.017 Lo=1.72u Kap=1e14 Er=4.5 LSW=OFF