

VHDL- 6

備忘録編 F P G A の初期化と基板リセットについて

この文書の目的

今回の基板をデバッグしていて、幾つか気がついた事を断片的に備忘録として作成、保存しておきたいと思います。

初期化

ザイリンクスの L C A やアルテラのフレックスシリーズの F P G A は、デバイス外部から初期化データを貰って初めて動作可能となります。

この初期化データは、専用の入出力ピンを使って行われるのが普通ですが、最近リリースされているデバイスでは J T A G チェーン (J A M など) を使った例も増えてきています。

複数の F P G A を使った基板では古くから、使用 R O M の節約の為これらの F P G A の初期化制御信号をデイジー・チェーンで接続する方法が採用されて(というよりも、昔は専用 R O M が高価で、事実上、それしか方法が提供されていなかった)います。

しかし、そのインターフェースが単純なデイジー・チェーン形式の場合には、初期化されるデバイスの中の1つがチェック・サム・エラーを検出しても、リ・トライなどの処理はできませんし、チェーンの中のどのデバイスが障害を発生しているのかを特定することも易しいことではないように思います。

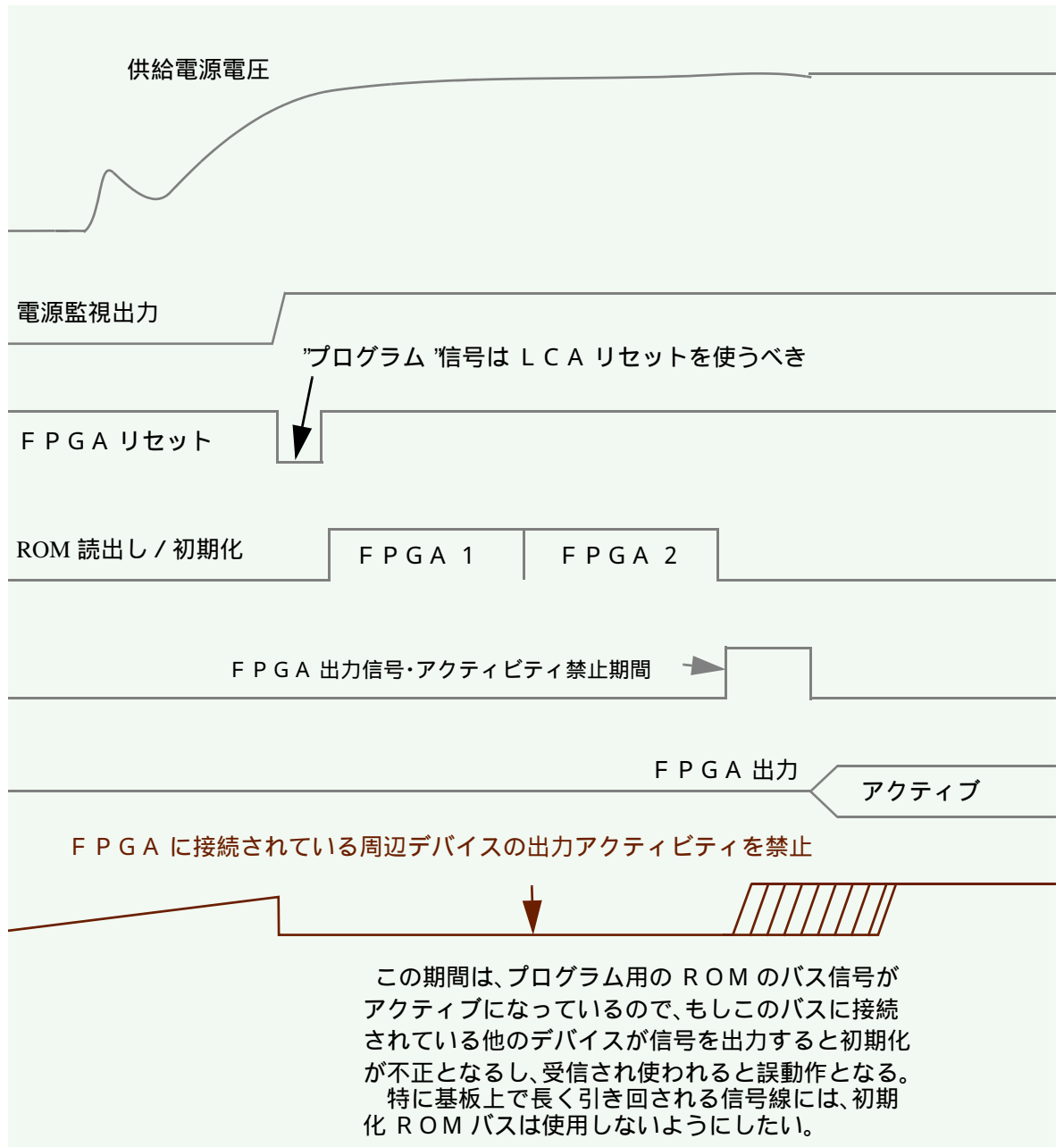
このようなエラーの原因としては、基板不良 / 実装不良など、製作時に起源があるものの他に R O M の故障やノイズ混入など、運用時点で発生するものもありますので、メーカーが事例の1つとしてマニュアルに掲載している初期化回路例を唯一のものとしてせず、チェック・サム・エラーを検出したデバイス位置を特定できるように回路を構成しておく方が良い結果につながるのではないかと思います。

基板規模にもよりますが、少なくとも量産設計フェーズを除いて、DONE 信号のワイヤード・オア構成は避けておきたいような気がします。

タイミングシーケンスを考えると

基本的には、これらの F P G A の初期化作業中、基板は内部的にも外部的にもシステムとしての動作ができない状態に在るわけですから、電源オン以降の基板内

での初期化状態については以下の図のような考え方が一般的な形となるもの
と思います。



エンベデッド・システム

ByteBlaster

TDI インタフェース・
ロジック
(オプション)

TDI
TMS
TCK
TDO

Control

Control

D[7..0]

D[3..0]

ADR[19..0]

エンベデッド・
プロセッサ

Control

EPROM
または
システム・
メモリ

D[7..0]

ADR[19..0]

ADR[19..0]

JTAGデバイス

MAX 900Q
MAX 9000A
または
MAX 7000S
デバイス

JTAGデバイス

