

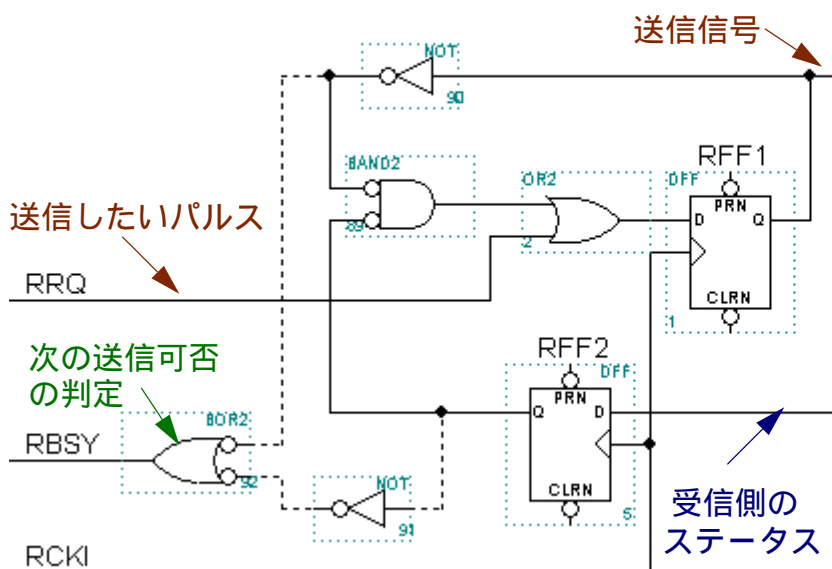
VHDL- 1 2 (後)

最終回 (後半) マルチ・クロック

この文書の目的 最後に、実際の回路例として、非同期クロック回路での単発パルス信号の受け渡し部分を紹介してみます。

回路図イメージ

は以下のような構成を考えます
 信号送出側回路は RCLK 信号で動作しているものとします。



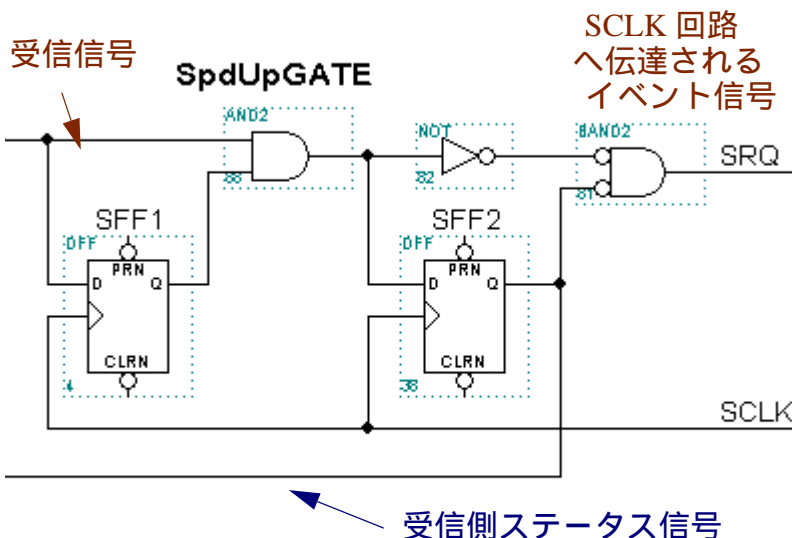
RFF1 は、単発パルス信号を保持する為のループを持ちます。

保持条件は、受信側のステータスを RFF2 で RCLK サンプルして作成します。

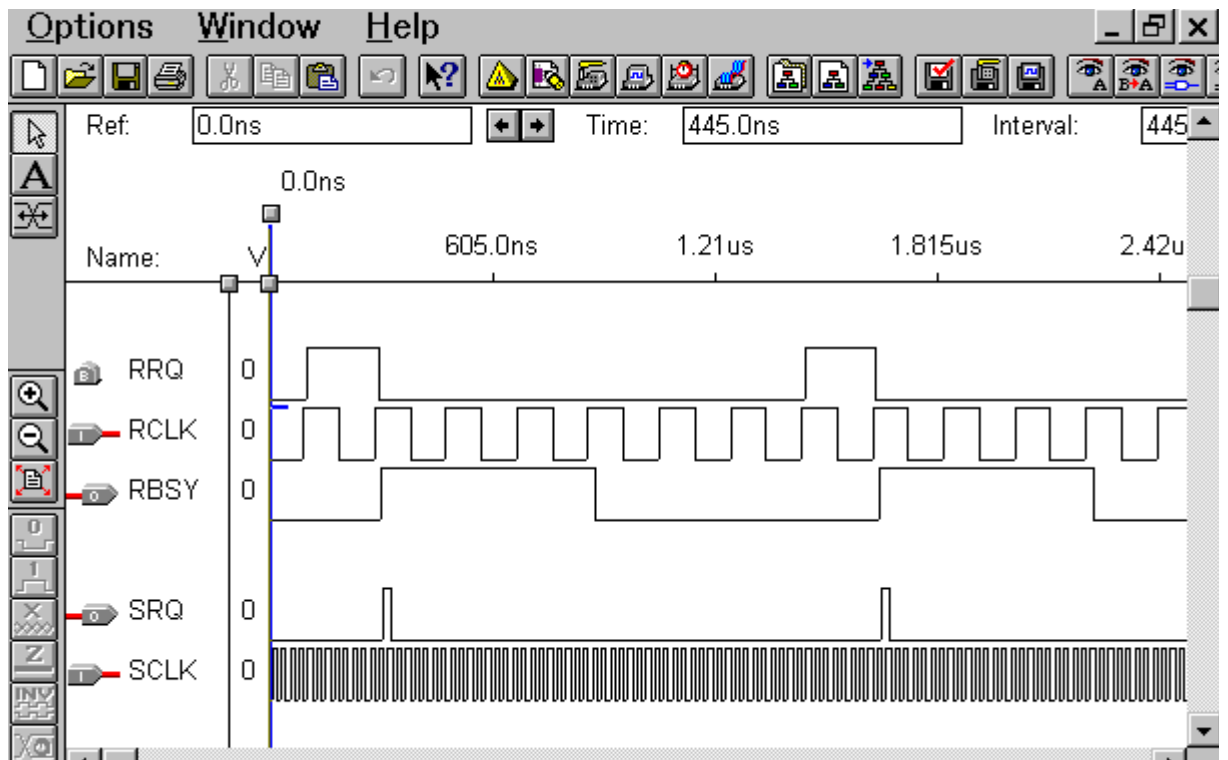
信号の受信側の回路は SCLK 信号で動作しているものとします。

パルス信号(イベントの通知)を受ける為に、受信側でも 1 パルス幅打ち抜き処理が必要になります。

SFF2 のステータスは送信側に戻されて、パルスの伝達が完了した事を示します。SpdUpGATE は不要な回復過程を 1 クロック節約します。



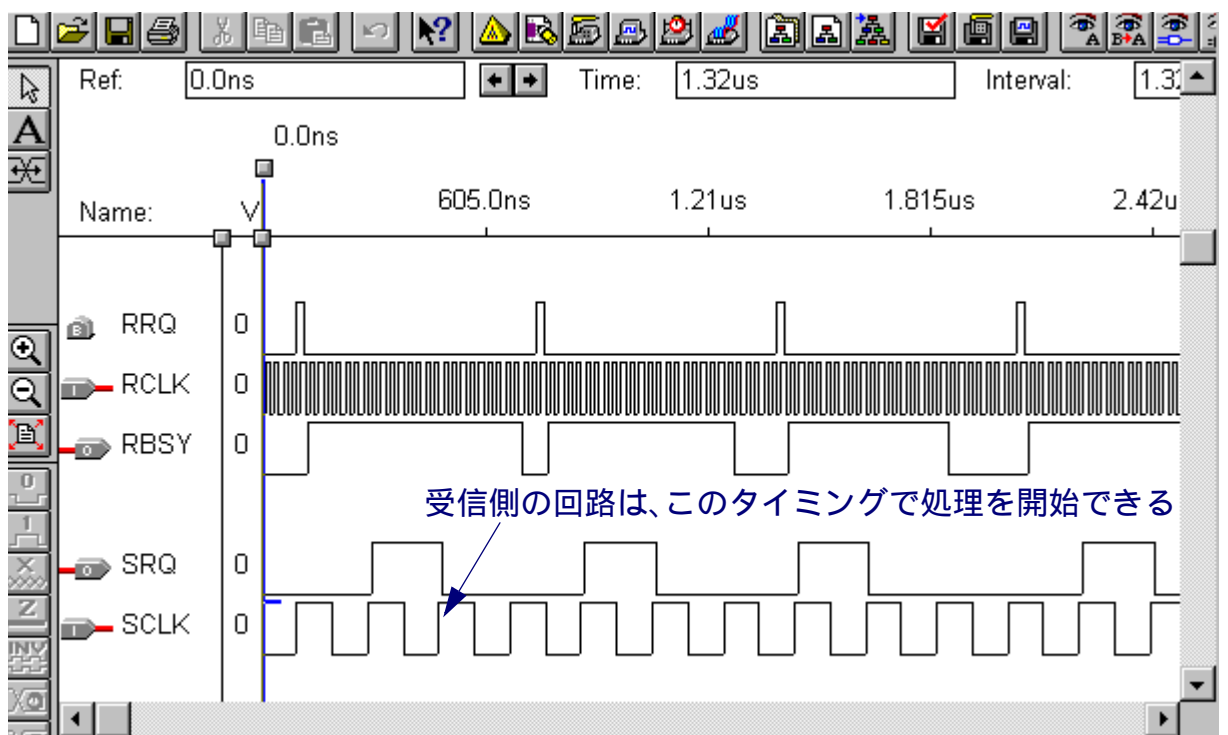
このような回路が必要になる事を簡単にイメージするには、以下のタイミング・チャートが参考になるかと思われます。



上に示したのは、RCLK が低速で SCLK が高速の場合の回路の動作です。

2 発の RRQ 信号パルスが、そのまま 2 つのパルスとして SRQ クロック回路に伝達されている事が確認できます。

もし、このクロックの周波数関係を逆転させた場合、どのように信号が伝達されるかは、下図から確認できます。



RCLK 回路からの4つのパルスが、SCLK 回路に4つ伝達されており、ビジー信号が外部の回路に調停タイミングを送っています。

SFF1 と RFF2 の2つのフリップフロップは、それぞれ、そのセットアップ・ホールドが保証されていないので、メタステーブル状態を持ち得ます。

もし、フィードバックを SFF1 から取り出す回路を作成して、これらの FF 回路が大きなセットアップ・ホールドを要求するプロセスで作成されている FPGA に実装した場合には、RCLK / SCLK の位相関係によって、その回路は誤動作を発生する可能性があります。

2 段目の SFF2 からのフィードバックでは、その可能性は殆ど無視して問題がない回路になっている筈です。

まとめ

今回の例では、イベントを伝達する為に、パルス信号という形でのハンドシェイク回路の片側 (RCLK から SCLK へ 1 方向) を示してありますが、必ずしもこの回路形式にこだわる必要はありませんので、自分でその事例に最も適切な回路形式を考えてください。

このような回路をプロシージャ文などで作成してパッケージにしておくか、或いはエンティティを付加してコンポーネント・ライブラリにしておく事で、再利用が簡単に出来るようになる事はよくご存知のとおりです。

VHDL という題目で最後が回路図記述になっているのはいかにも不自然なのですが、設計の段階でこのようなタイミングの微妙な部分を最初から VHDL 記述するのは (私の場合には) 避けたほうがよいのではないかと感じています。

もし、このような素子を複雑な回路に組み込んでおいて、厳密なシミュレーションを行うのであれば、やはり VHDL のアサート文の仕掛けを使う方法のほうが有利でしょうし、その為の方法も既にご紹介してありますので (特にジェネリックでインスタンス名を組込む所辺りに) 注意して読んでいただければ活用していただけるはずだと思います。

至らない部分も多く残しておりますが、今回をもって開発環境 VHDL 技術移管の工程をすべて終了します。

本年 10 月以降、私共が開設を計画しているホームページでは PSPICE の応用例やデジタル・フィルタの設計例などを紹介する事を目論んでおります。機会があれば御参照ください。