

## VHDL- 1 1

### 雑談 レオナルドでの階層別最適化について

#### この文書の目的

複数のユニット（エンティティ・アーキテクチャ・ペア）を構造記述で接続して回路を構成してあるとします。

あるユニット（群）を領域優先で、別のユニットを速度優先で最適化するにはレオナルドでの処理を行う場合にはデザイン・ブラウザを使うことになります。

操作方法は簡単で、レオナルドのデザイン・ブラウザから階層のグループ化とかデザイン・ビューの移動などの操作を行ってオブティマイズを、そのビューからかける作業になります。

今回は、この作業を簡単に説明します。

#### 期待できる成果は？

私の経験の範囲内に限って見ると、よほど混乱した設計か、相当複雑な信号伝播を行うような回路で速度要求が厳しいというような条件でない限り、「この作業だけ」からはそれほどたいした成果は得られないのではないかと思います。

というのは、アルテラやアクテルなどの F P G A のフィッターが、タイム・スペックで「時間最適化」フィッティングを行ってくれるようになっていまして、いくらレオナルドで最適化を行っても最終結果にどれほどの影響が期待できるのか、おおいに疑問を感じるからです。

但し、ザイリンクス M 1 へのフィッティングで、レオナルドでコンストレイントを与えて E D I F 出力にその内容を反映させる事には、最終結果に関わる明確な影響があります。 というより、レオナルドから出力される区間 / グループ別のタイム・スペックが M 1 フィッターによって有効に使われています。

レオナルドでの階層別最適化作業というのは、結局はクリティカル・パスの解析、つまりキャリア伝播 / P L A 構成の改善に尽きるものだろうと思います。

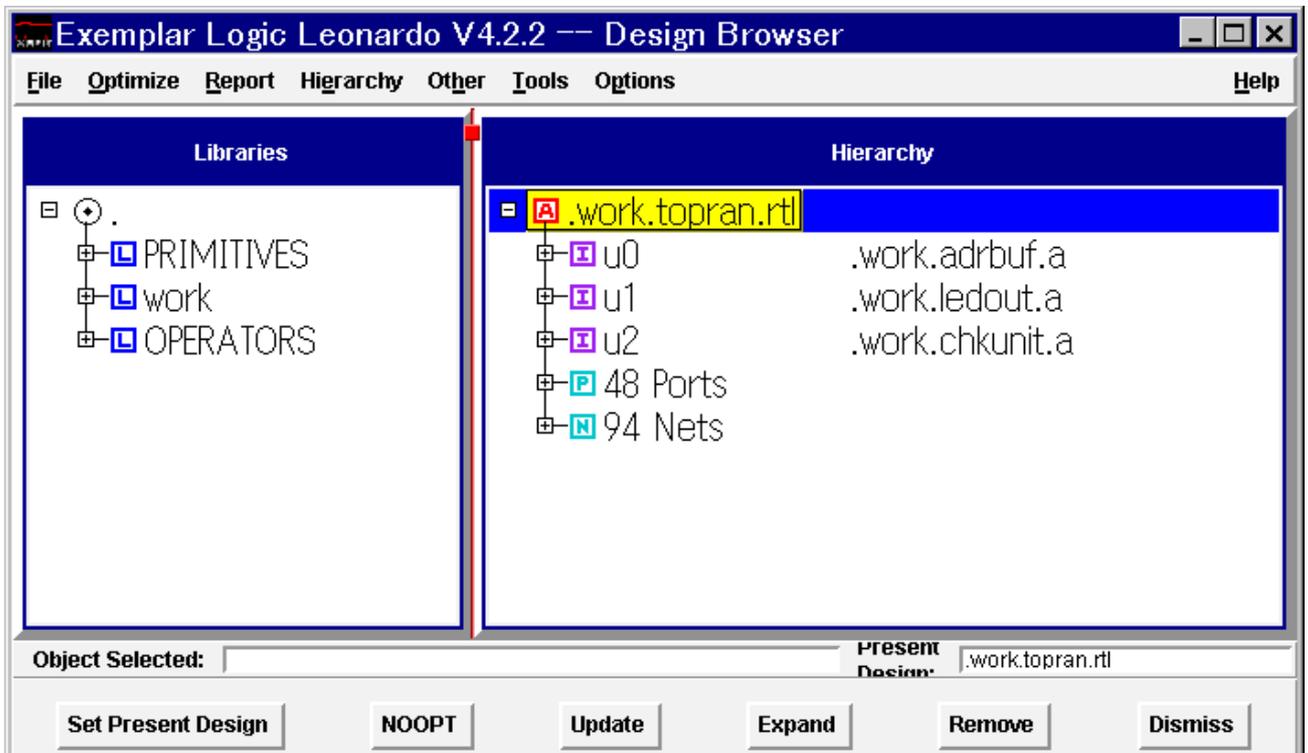
特に、最適化に先立って F P G A の信号ピン配置が先に指定されていたりするような場合には、フィッター - 処理で中継配線遅延やセル挿入などが発生しますし、フィッター - の中には、入力された E D I F ネットを全て解析し直して再合成をかける機能を持つものが少なくないので、1 段や 2 段 P L A 遅延段が改善されてもそれほど嬉しいことでもないでしょう。

私の場合ですと、レオナルド v 4 . 0 X のころはよく試しましたが、今では余り使わなくなっています。多分、まだまだ勉強が足りないのでしょう。

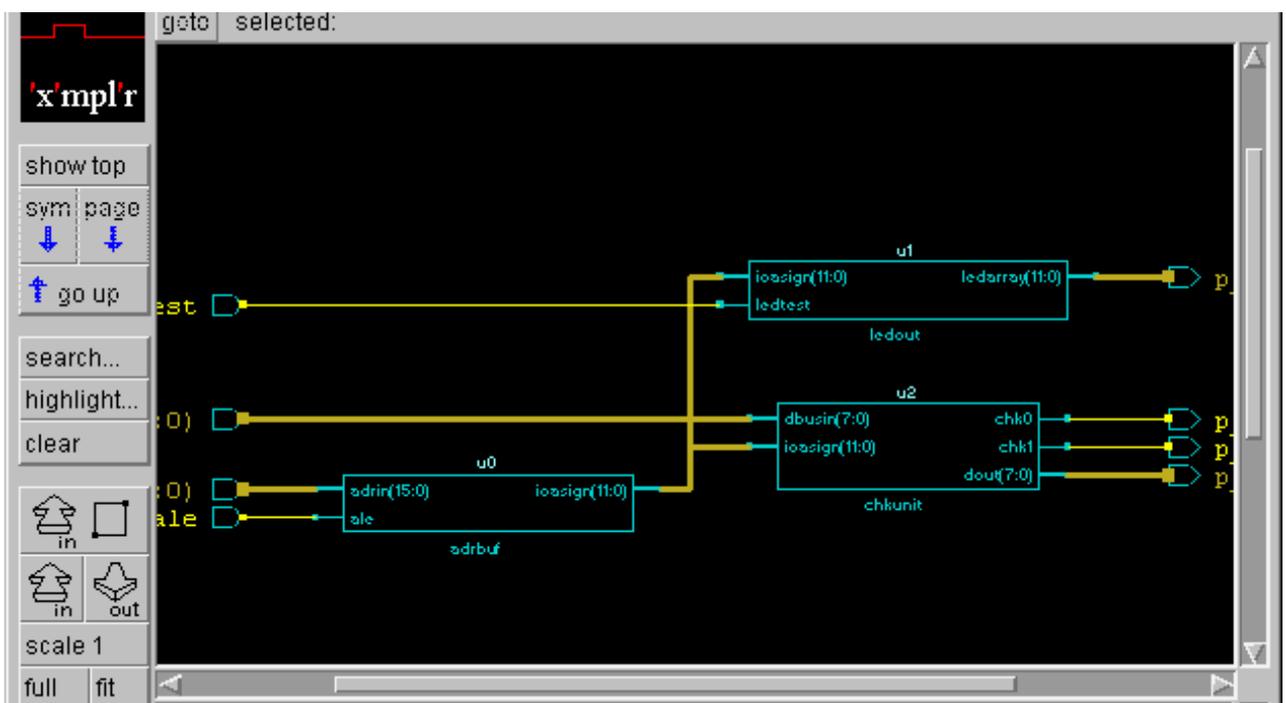
## 作業手順は

例題を前回の Ran にとって説明しますと、以下のようになります。

- 1、レオナルドを起動し、最初にパッケージ MyDec.vhd を読み込み、次に設計ファイル Decoder.vhd を読み込みます。
- 2、レオナルドのメニューバーにあるデザイン・ブラウザをアイコンから起動します。

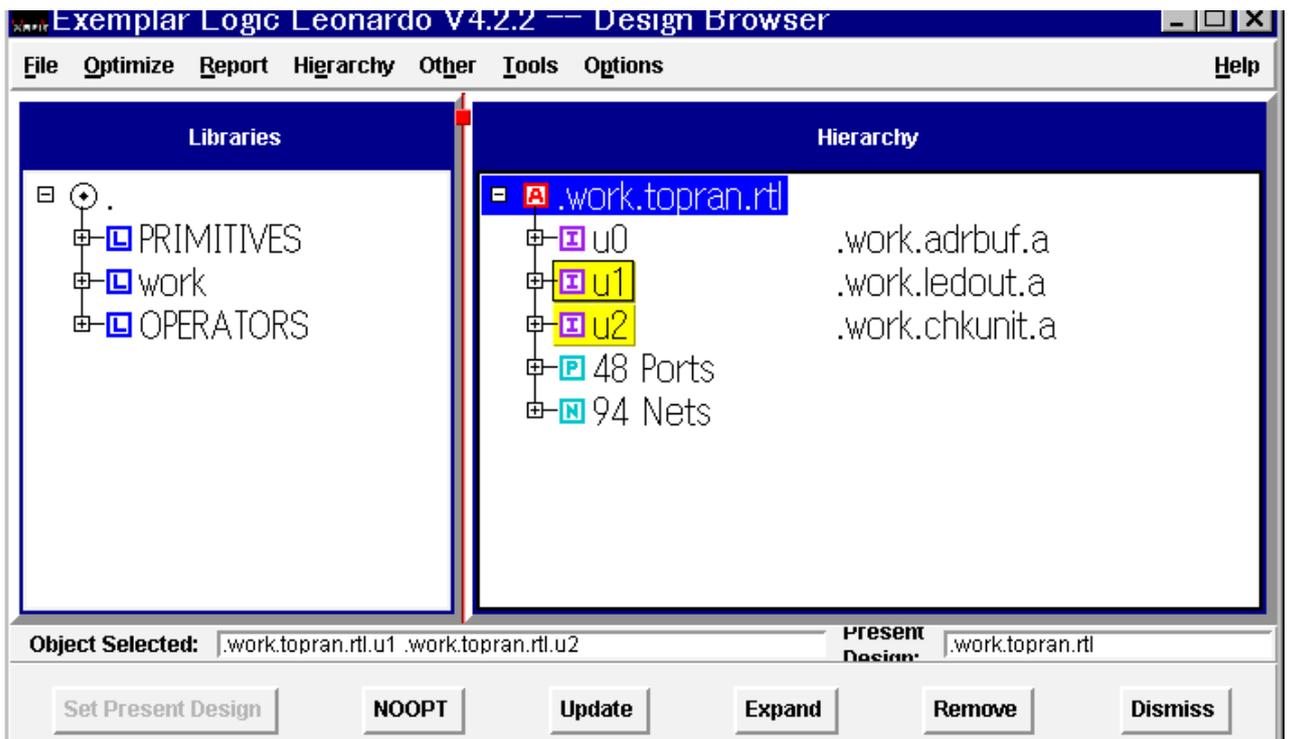


右側のウインドウに表示されている U0...U2 のユニットはそれぞれがエンティティ・アーキテクチャ・ペアで導入されたブロックです。これをスキマティック・ビューワでみると以下のようになっています。



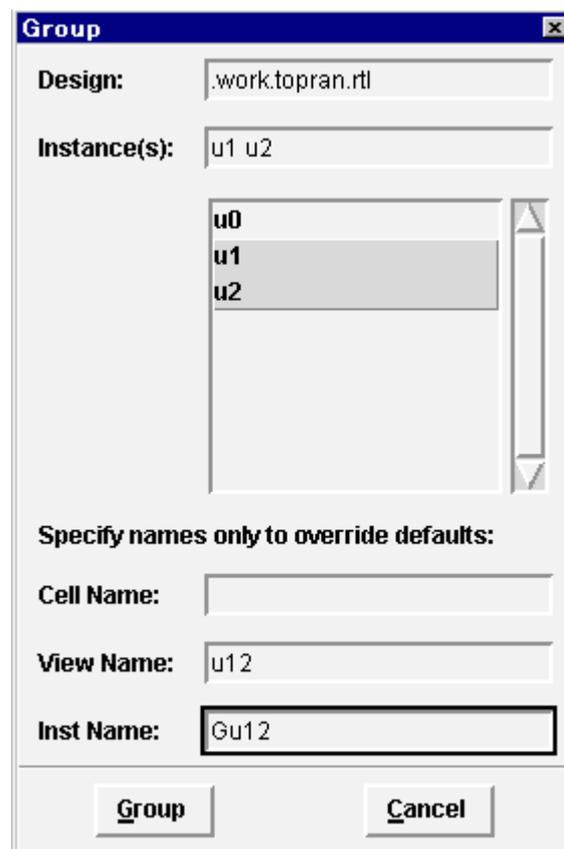
今は、U1 と U2 のユニットを 1 つの階層にまとめてみます。

デザイン・ブラウザで U1 と U2 の 2 つを Ctrl+ 左マウスで選択します。

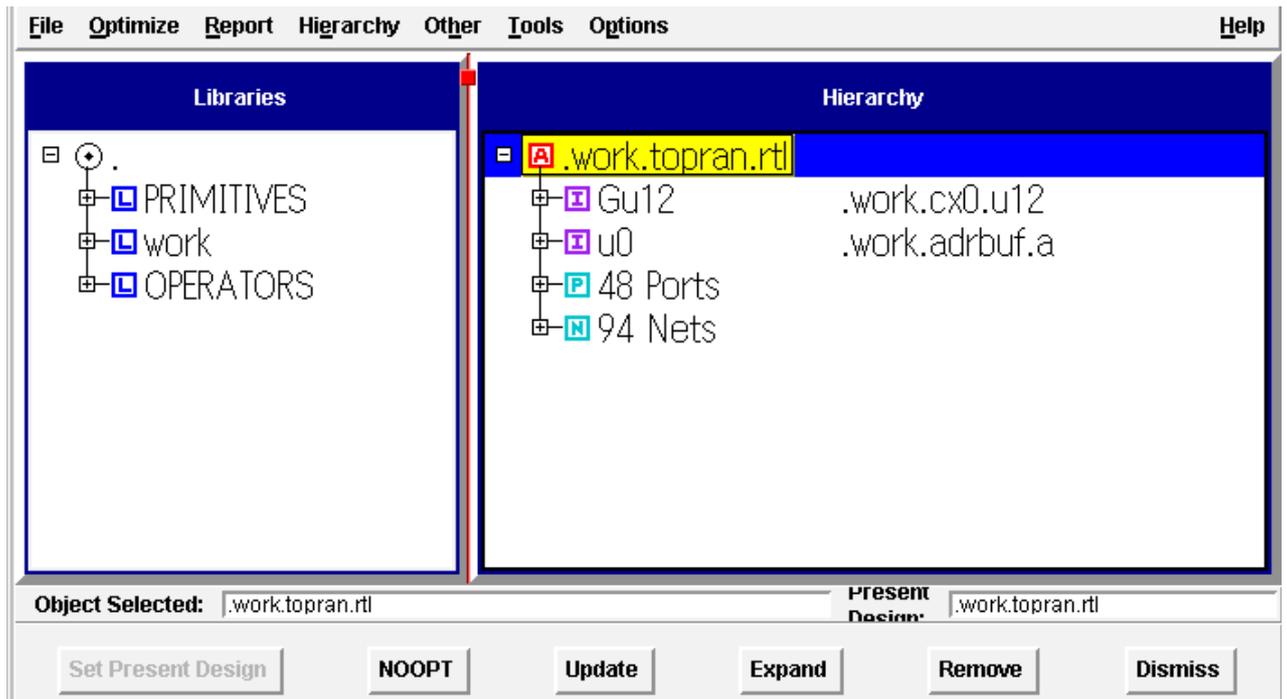


言い忘れてましたが、先にテクノロジーライブラリを読み込んでおいてください。

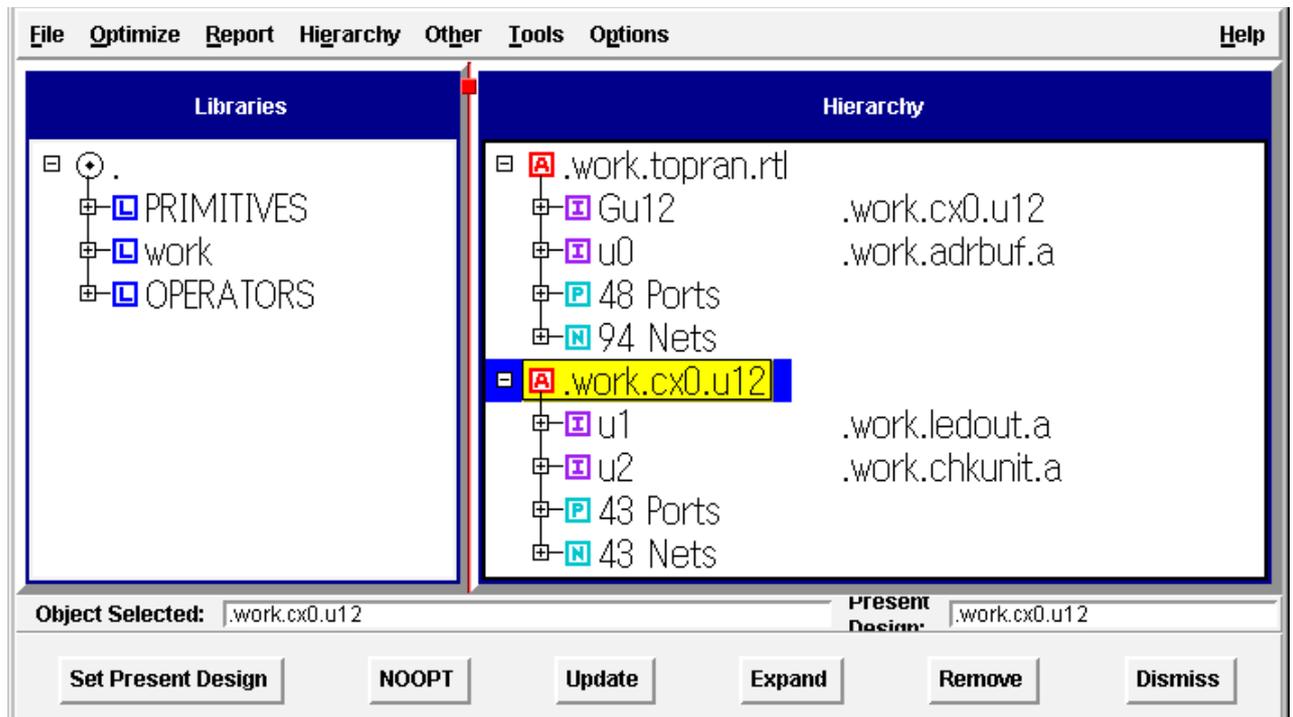
メニューのハイアラーキで、グループ化メニューを選びますと左図のようなダイアログボックスが表示されるので、適当なビュー名とインスタンス名を入れてグループ化を指示します。



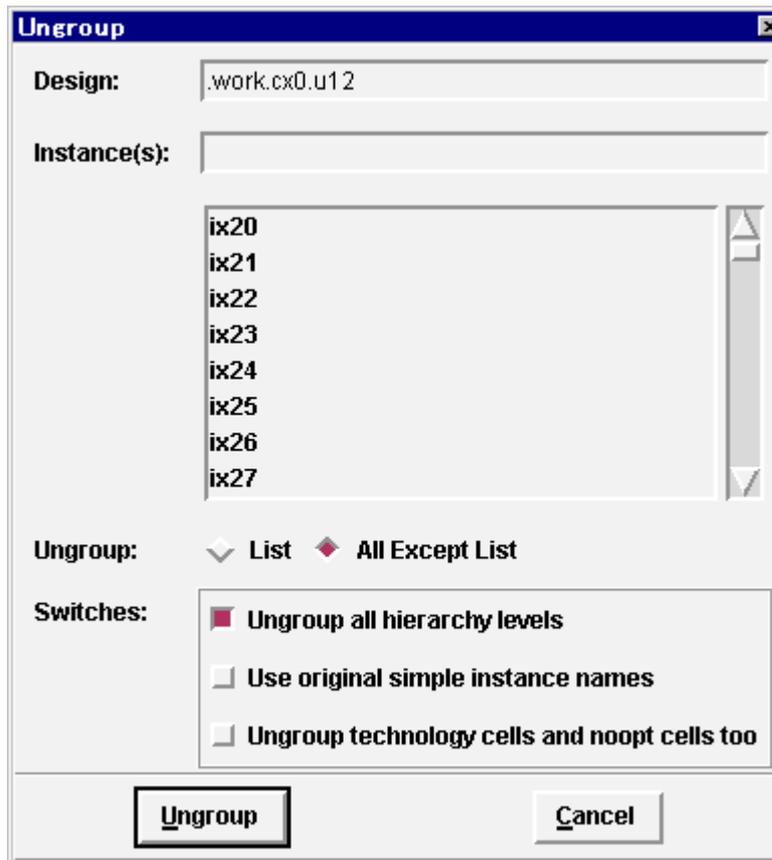
デザイン・ブラウザは下のように組替えられます



今作成した Gu12 というグループをマウスで左クリックして選択すると、上図の左下にあるボタンが活性化されますので、この SetPresentDesign ボタンを押します。



今、上の画面にはあたらしい U12 ユニットが作成されていますが、その中身は u1 と u2 との階層構造がそのまま残っていますので、このメニューからハイアラキーを選択し、この階層の中をフラットに展開してしまいましょう。

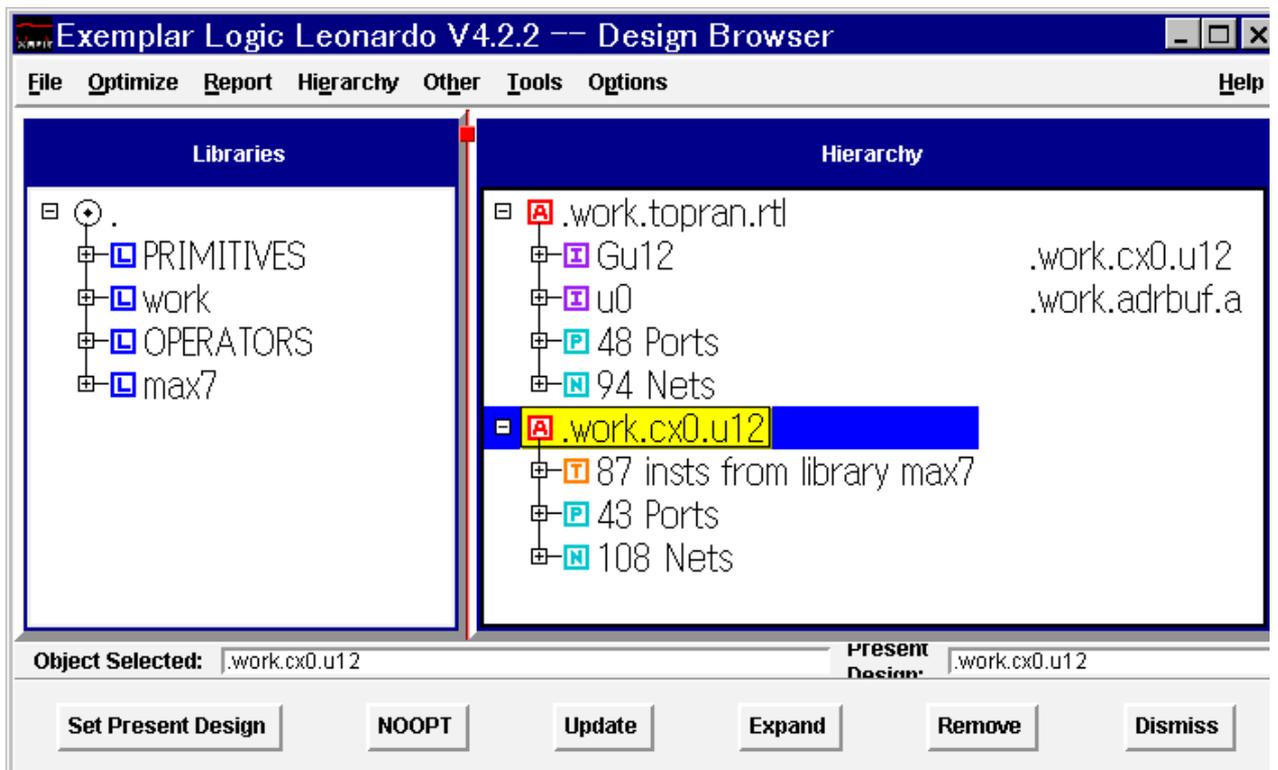


左に示すとおり、今のU21ユニットの中身は色々なインスタンスが含まれています。

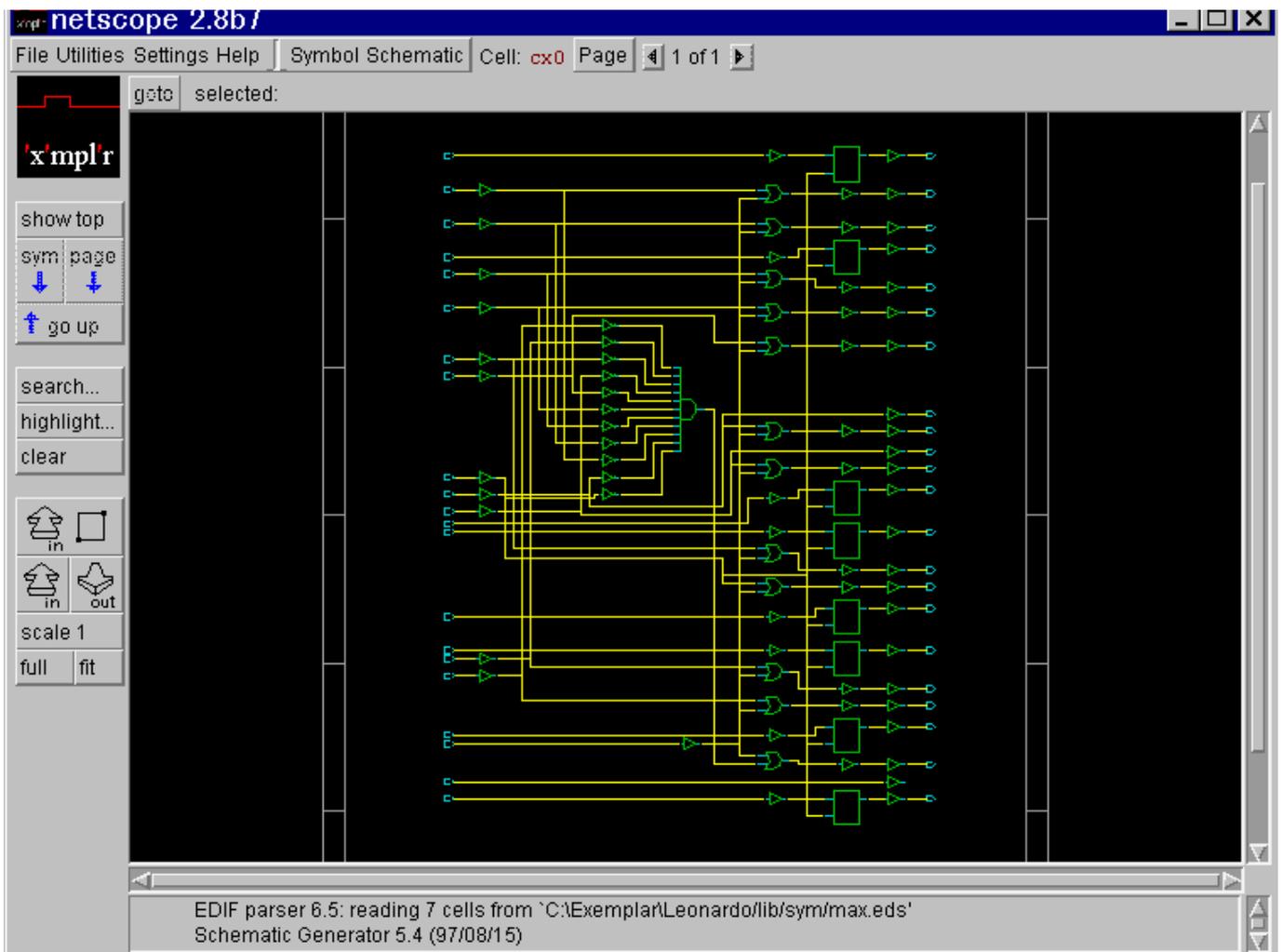
階層をフラットにするのですから、インスタンスは無関係に AllExceptList を指定して UngroupeAll とします。

デザインブラウザが示す構造から u1、u2 が無くなっている事に注意してください。

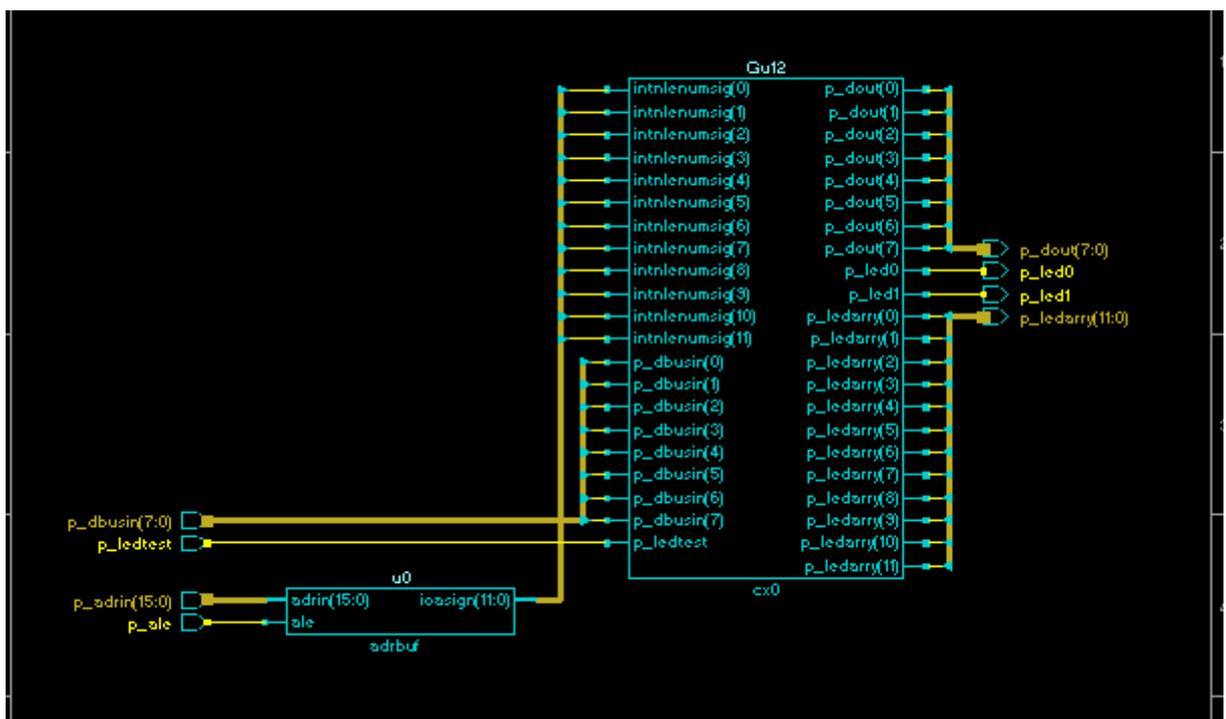
オプティマイズで速度最適化をしてください。



ここでツールメニューからスキマティックビューで回路図をみてみましょう。今現在、作業しているビューは、G12のU12である事を忘れないでください。



u1 と u2 だけがブロック構造を解除されて、1つのユニットにまとまって最適化されている事が確認されました。1つ上の階層、work.topran.rtl を左マウスで選択し、SetPresentDesign ボタンを押してください。再度回路図を眺めてみましょう



最初のデザインと比較して、階層が組替えられ、接続が維持されていることに気がついた事と思います。

それぞれの階層に移動して、そのビューで、シングルレイヤについての最適化オプションを選択します。最上位に移動して同様に処理を行えば終了です。

## まとめ

ビジュアルな環境としては面白い機能なのですが、最初に説明したとおり、少なくとも私が作成する程度の設計内容では、それほど御利益がある訳ではなく、むしろ設計自体をきれいにまとめて無駄を省き、フィッタ側にレオナルドで設定したコンストレイントを正しく渡す事に労力をさいたほうが良い結果に結びつくような気がしています。

ただ、レイテンシが非常に小さく、複雑な命令デコーダを持ったCPUユニットのようなものを作成する場合を考えると、やはり知っておいたほうが良い機能の1つであるように思います。